

Beschreibung

Die Erfindung betrifft eine Wellenform- oder Signalformereinrichtung, um das Tastverhältnis, die Frequenz und dergleichen eines Taktsignals umzuformen, sowie eine Taktsignalführvorrichtung, die durch Kombination einer DLL-Einrichtung (DLL = verzögerungssynchronisierte Schleife [Delay Locked Loop]) mit der Signalformereinrichtung gebildet ist.

Eine DLL-Einrichtung bewirkt, daß eine variable Verzögerungsschaltung ein externes Taktsignal um eine Dauer verzögert, die nicht ganz einen Ein-Takt-Zyklus erreicht, und Verzögerungen verschiebt, die von einem Takttreiber und dergleichen erzeugt werden, so daß ein internes Taktsignal mit im wesentlichen der gleichen Phase wie der des externen Taktsignals zugeführt wird. Die DLL-Einrichtung addiert eine Verzögerung, die etwas kleiner als der Ein-Takt-Zyklus ist, zu den von dem Takttreiber und dergleichen erzeugten Verzögerungen, so daß die Verzögerung von genau einem Ein-Takt-Zyklus erhalten wird. Es sieht daher so aus, als ob der interne Takt ohne jede Verzögerung zugeführt wird.

Fig. 47 ist ein Blockbild, das den Aufbau einer Taktsignalführvorrichtung unter Anwendung der DLL-Einrichtung gemäß dem Stand der Technik zeigt, der den Hintergrund der Erfindung bildet. In Fig. 47 bezeichnet 1 eine DLL-Einrichtung, 3 ist ein Takttreiber, 4 bezeichnet Taktleitungen, 6 ist ein Takteingang, 201 ist eine variable Verzögerungsschaltung, 202 ist ein Phasenvergleich, 203 ist eine Ladungspumpe, 204 ist ein Schleifenfilter, 551 ist eine Taktsignalführvorrichtung, CL bezeichnet ein Eingangstaktsignal (einen externen Takt), OUT D bezeichnet ein Ausgangstaktsignal, Vc bezeichnet ein Steuersignal, und FB bezeichnet ein Rückführungstaktsignal.

Ein Geräteteil zum Empfang der Zuführung eines Taktsignals durch die Taktleitungen 4 ist gewöhnlich in einem einzigen Halbleiterchip integriert. Ebenso sind die DLL-Einrichtung 1 und der Takttreiber 3 gewöhnlich in demselben Halbleiterchip integriert.

Fig. 48 ist ein Schaltbild, das ein Beispiel des wohl bekannten Aufbaus des Phasenvergleichers 202 nach dem Stand der Technik zeigt. In diesem Beispiel wird ein Phasengangvergleich vom Motorola-Typ verwendet. In Fig. 48 bezeichnen N1 bis N9 NAND-Glieder, Q1 bis Q4 bezeichnen Ausgangssignale eines SR-Flipflops, das von den NAND-Gliedern N1 bis N8 gebildet ist, UP* bezeichnet ein Aufwärtssignal, DWN* bezeichnet ein Abwärtssignal, und RESET* bezeichnet ein Rücksetzsinal.

Fig. 49 ist ein Impulsdiagramm, das die Signalwellenform jedes Bereichs zeigt, der den Betrieb der in Fig. 48 gezeigten Einrichtung begleitet. Wenn dabei die Phase des Rückführungstaktsignals FB später als die des Eingangstaktsignals CL ist, wird das Aufwärtssignal UP* ein aktiver Wert (in diesem Fall ist der Wert "0") über einen Zeitraum, der gleich einer Phasendifferenz ist. Wenn dagegen die Phase des Rückführungstaktsignals FB früher als die des Eingangstaktsignals CL ist, wird das Abwärtssignal DWN* über einen Zeitraum aktiv, der gleich einer Phasendifferenz ist.

Fig. 50 ist ein Zustandsübergangsdiagramm der in Fig. 48 gezeigten Einrichtung. Wenn dabei im Ruhezustand, in dem weder das Aufwärtssignal UP* noch das Abwärtssignal DWN* abgegeben wird, das Eingangstaktsignal CL ansteigt, wird das Aufwärtssignal UP* aktiv. Wenn dann das Rückführungstaktsignal FB ansteigt, wird das Rücksetzen ausgeführt, so daß die Rück-

kehr in den Ruhezustand erfolgt. Wenn das Rückführungstaktsignal FB früher ansteigt, wird das Abwärtssignal DWN* aktiv.

Das Schaltbild von Fig. 51 zeigt ein Beispiel der wohl bekannten Schaltungsstrukturen der Ladungspumpe 203 und des Schleifenfilters 204 nach dem Stand der Technik. In Fig. 51 bezeichnen 211 und 212 Stromquellen, 213 ist ein PMOS-Transistor, 214 ist ein NMOS-Transistor, 215 ist ein Nichtglied, 216 ist ein kapazitives Element, 217 ist ein Widerstandselement, Icp1 ist ein von der Stromquelle 211 zugeführter Strom, und Icp2 ist ein von der Stromquelle 212 zugeführter Strom.

Fig. 52 ist ein Schaltbild, das die Struktur der Stromquelle 211 zeigt. Dabei ist 221 ein PMOS-Transistor, und 222 ist eine Vorspannungsquelle, die eine Vorspannung an den PMOS-Transistor 221 liefert.

Fig. 53 ist ein Schaltbild, das die Struktur der Stromquelle 212 zeigt. Dabei ist 223 ein NMOS-Transistor, und 224 ist eine Vorspannungsquelle, die eine Vorspannung an den NMOS-Transistor 223 liefert. Die Vorspannungen werden von den Vorspannungsquellen 222 und 224 auf solche Weise zugeführt, daß die Ströme Icp1 und Icp2 einander gleich sind.

Wenn in Fig. 51 das Aufwärtssignal UP* aktiv ist, schaltet der PMOS-Transistor 213 ein, und der von der Stromquelle 211 zugeführte Strom Icp1 wird dem Schleifenfilter 204 zugeführt, um das kapazitive Element 216 zu laden. Wenn dagegen das Abwärtssignal DWN* aktiv ist, schaltet der NMOS-Transistor 214 ein, und das Kapazitätselement 216 wird von dem von der Stromquelle 212 zugeführten Strom Icp2 entladen.

Dabei liefert die Ladungspumpe 203 die Ströme Icp1 und Icp2, die von den Stromquellen 211 und 212 vorgegeben sind, an das Schleifenfilter 204 in zueinander entgegengesetzten Richtungen über einen Zeitraum, in dem das Aufwärtssignal UP* und das Abwärtssignal DWN* aktiv sind, was als ein Strompaket bezeichnet wird. Positive und negative Strompakete werden von dem kapazitiven Element 216 gespeichert, das in dem Schleifenfilter 204 vorgesehen ist.

Fig. 54 ist ein Schaltbild eines Beispiels der wohl bekannten Struktur einer variablen Verzögerungsschaltung 201 nach dem Stand der Technik. Dabei ist 232 ein Widerstandselement, 233, 235 und 243 sind NMOS-Transistoren, 234, 236 und 244 sind PMOS-Transistoren, und 245 ist ein Nichtglied. Das Eingangstaktsignal CL wird in eine erste Stufe der Nichtglieder 245, die in Kaskade geschaltet sind, eingegeben, und das Ausgangstaktsignal OUT D wird von einer Endstufe abgegeben. Jedesmal, wenn sich das Eingangstaktsignal CL zu einer Stufe des Nichtglieds 245 fortpflanzt, wird eine Verzögerungsdauer akkumuliert.

Ein in dem Widerstandselement 232 fließender Strom wird durch das Steuersignal Vc geregelt. Der Wert des Stroms spiegelt sich in demjenigen eines Stroms, der in den MOS-Transistoren 243 und 244 fließt, durch Stromspiegelschaltungen, die von den PMOS-Transistoren 234 und 236 bzw. den NMOS-Transistoren 235 und 243 gebildet sind. Die MOS-Transistoren 243 und 244 haben die Funktion von Stromquellen der Nichtglieder 245.

Speziell wird die Stromquelle jedes Nichtglieds 245 von dem Steuersignal Vc geregelt. Wenn die Spannung des Steuersignals Vc höher ist, wird der Quellenstrom erhöht. Wenn der Wert des dem Nichtglied 245 zugeführten Stroms erhöht wird, wird die Verzögerungsdauer des Taktsignals, das durch das Nichtglied 245 geht, verringert. Wenn also die Spannung des Steuersignals Vc höher ist, wird der Verzögerungswert des Ausgangs-

taktsignals OUT_D für das Eingangstaktsignal CL verringert.

Es wird nun erneut auf Fig. 47 Bezug genommen; das Eingangstaktsignal CL, das durch den Takteingang 6 eingegeben wird, wird von der DLL-Einrichtung 1 verzögert und als das Ausgangstaktsignal OUT_D abgegeben. Das Ausgangstaktsignal OUT_D wird von dem Taktreiber 3 verstärkt und dann auf die Taktleitung 4 übertragen.

Die Taktsignalleitung 4 hat gewöhnlich die Form eines Taktsignalbaums. Ein Taktsignal an dem Zwischenabzweigpunkt des Taktsignalbaums wird als das Rückführungstaktsignal FB aufgenommen und zu dem Phasenvergleich 202 der DLL-Einrichtung 1 rückgeführt.

Wenn die Phase des Rückführungstaktsignals FB nach derjenigen des Eingangstaktsignals CL liegt, gibt der Phasenvergleich 202 des Aufwärtssignal UP* über einen Zeitraum ab, der gleich einer Phasendifferenz für jeden Zyklus des Eingangstaktsignals CL ist. Daher sendet die Ladungspumpe 203 das positive Strompaket zu dem Schleifenfilter 204. Als Resultat wird das von dem Schleifenfilter 204 abgegebene Steuersignal Vc erhöht. Infolgedessen wird der Verzögerungswert der variablen Verzögerungsschaltung 201 verringert, so daß die Phase des Ausgangstaktsignals OUT_D voreilt und die Phase des Rückführungstaktsignals FB derjenigen des Eingangstaktsignals CL angenähert wird.

Wenn dagegen die Phase des Rückführungstaktsignals FB vor derjenigen des Eingangstaktsignals CL liegt, gibt der Phasenvergleich 202 das Abwärtssignal DWN* über einen Zeitraum ab, der gleich einer Phasendifferenz für jeden Zyklus des Eingangstaktsignals CL ist. Daher leitet die Ladungspumpe 203 das negative Strompaket an das Schleifenfilter 204. Als Resultat fällt das von dem Schleifenfilter 204 abgegebene Steuersignal Vc. Infolgedessen wird der Verzögerungswert der variablen Verzögerungsschaltung 201 erhöht, so daß die Phase des Ausgangstaktsignals OUT_D verzögert und die Phase des Rückführungstaktsignals FB derjenigen des Eingangstaktsignals CL angenähert wird.

Wenn die Phase des Rückführungstaktsignals FB mit derjenigen des Eingangstaktsignals CL koinzident ist, gibt der Phasenvergleich 202 weder das Aufwärtssignal UP* noch das Abwärtssignal DWN* ab, so daß die Zuführung des Strompakets zu dem Schleifenfilter 204 ausgesetzt wird. Infolgedessen wird das Steuersignal Vc nicht geändert. Daher nähert sich die Phase des Rückführungstaktsignals FB allmählich an diejenige des Eingangstaktsignals CL an, so daß die Phasendifferenz im Nullzustand stabil wird. Die Koinzidenz der Phasen ist scheinbar oder im wesentlichen Eins. Um genau zu sein, die Phase des Rückführungstaktsignals FB ist um einen Zyklus des Eingangstaktsignals CL verzögert. Diese scheinbare Übereinstimmung ist jedoch praktisch einer nicht vorhandenen Phasendifferenz äquivalent.

Wie oben beschrieben wird, hat die bekannte Taktsignalführvorrichtung, die die DLL-Einrichtung aufweist, die Funktion, die Verzögerungsdauer eines Taktsignals zu kompensieren. Bei einem auf die Wellenform des Taktsignals bezogenen Tastverhältnis wird der Wert des Eingangstaktsignals CL so, wie er ist, zu den Taktsignalleitungen 4 übertragen. Es gibt einen Fall, in dem einige der verschiedenen Einrichtungsteile zum Empfang der Taktsignalführung durch die Taktsignalleitungen 4 bei der Vorderflanke des Taktsignals wirksam sind und einige davon bei der Hinterflanke des Taktsignals wirksam sind. In diesem Fall wird es bevorzugt, daß das Tastverhältnis des Taktsignals 50% sein

sollte. Beispielsweise sind ein flankengesteuertes bzw. dynamisches Flipflop und ein Makroblok, wie etwa ein RAM (ein Schaltungsblock, der einen sehr großen Hardwareumfang hat und die spezifischen Funktionen implementiert, beispielsweise ein RAM, ein FIFO, ein Rechenwerk und dergleichen) gemeinsam vorgesehen.

Wenn der Einrichtungsteil, in dem die Operation, die mit der Vorderflanke des Taktsignals gestartet wird, bei der Hinterflanke des Taktsignals einrastet, und der Einrichtungsteil, der die Umkehroperation ausführt, gemeinsam vorgesehen sind, wird davon ausgegangen, daß das Tastverhältnis des zugeführten Taktsignals 30% ist. Die Operation sollte zwar in dem erstgenannten Einrichtungsteil innerhalb eines Zeitraums beendet sein, der 30% des Taktzyklus beträgt, die Operation kann aber in einem Zeitraum, der 70% des Taktzyklus beträgt, in dem letztgenannten Einrichtungsteil ausgeführt werden.

Wenn der Umfang der Operationen beider Einrichtungsteile einander gleich ist, wird die maximale Betriebsgeschwindigkeit der Gesamtvorrichtung durch eine Periode bestimmt, in der das Taktsignal einen Wert "1" (Hoch- bzw. H-Pegel) hat, also eine Länge, die 30% des Zyklus ist. Wenn andererseits das Tastverhältnis des Taktsignals 50% ist, ist es möglich, eine höhere Taktfrequenz als in dem Fall anzuwenden, in dem das Tastverhältnis des Taktsignals 30% ist. Mit anderen Worten, es kann die gesamte Vorrichtung mit höherer Geschwindigkeit arbeiten. Es ist daher erwünscht, daß die DLL-Einrichtung aufweisende Taktsignalführvorrichtung die Signalformerrfunktion hat, um das Tastverhältnis des Taktsignals in 50% umzuwandeln.

Es ist nicht leicht, die Operation, die über einen Zeitraum durchgeführt wird, in dem das Taktsignal einen Wert "1" hat, und die Operation, die über einen Zeitraum durchgeführt wird, in dem das Taktsignal den Wert "0" (Niedrig- bzw. L-Pegel) hat, für jeden Einrichtungsbereich in der Konstruktion positiv zu reflektieren. Daher kann der größte Konstruktionsspielraum gewöhnlich erhalten werden, indem ein Taktsignal angewandt wird, das ein Tastverhältnis von 50% hat, wie oben beschrieben wird. Wenn man jedoch annimmt, daß die Schaltung mit der Höchstgeschwindigkeit arbeiten kann, wenn das Tastverhältnis des Taktsignals auf einen von 50% verschiedenen, bestimmten anderen Wert eingestellt ist, kann die Betriebsgeschwindigkeit der Schaltung bis zum Maximum der potentiellen Kapazitäten gesteigert werden, wenn die Taktsignalführvorrichtung ungeachtet des Tastverhältnisses des von außerhalb der Schaltung zugeführten Taktsignals ein gewünschtes Tastverhältnis bereitstellen kann.

Manche Vorrichtungen brauchen Taktsignale, die für jeden Einrichtungsteil andere Phasen haben, und manche Vorrichtungen benötigen Taktsignale, die für jeden Einrichtungsteil andere Frequenzen haben. Eine Taktsignalführvorrichtung mit Signalformerrfunktion zur Umwandlung des Tastverhältnisses, der Frequenz, der Phasenzahl und dergleichen des von außen zugeführten Taktsignals ist jedoch als Vorrichtung, die die Funktion des Ausgleichs einer Phasenverschiebung hat, aus dem Stand der Technik nicht bekannt.

Aufgabe der Erfindung ist daher die Bereitstellung einer Taktsignalführvorrichtung, die die Funktion des Ausgleichs einer Phasenverschiebung eines Taktsignals sowie die Signalformerrfunktion hat, um so die Betriebsgeschwindigkeit einer Einrichtung zum Empfang der Taktsignalführung zu steigern, sowie die Bereitstellung einer Signalformereinrichtung, die für die Taktsi-

gnalzuführvorrichtung geeignet ist.

Ein erster Aspekt der Erfindung richtet sich auf eine Signalformereinrichtung, die die Signalform eines Eingangstaktsignals, das von außen eingegeben wird, für die Abgabe eines Ausgangstaktsignals umformt, wobei die Einrichtung folgendes aufweist: eine erste variable Verzögerungsschaltung, die das Eingangstaktsignal eingibt, das Eingangstaktsignal um einen Verzögerungswert verzögert, der sich monoton mit einem Steuersignal ändert, und ein erstes verzögertes Taktsignal abgibt, und wobei die Obergrenze des Verzögerungswerts mit mehr als einem Zyklus und weniger als zwei Zyklen des Eingangstaktsignals vorgegeben ist; eine zweite variable Verzögerungsschaltung, die eines von dem Eingangstaktsignal und dem ersten verzögerten Taktsignal eingibt, das entsprechend dem Steuersignal um einen Verzögerungswert zu verzögern ist, der sich mit einem konstanten Verhältnis, das kleiner als 1 ist, zu dem Verzögerungswert der ersten variablen Verzögerungsschaltung ändert, und ein zweites verzögertes Taktsignal abgibt; einen Steuerteil, der die Phasen des Eingangstaktsignals und des ersten verzögerten Taktsignals vergleicht und entsprechend dem Vergleichsergebnis das Steuersignal erzeugt und abgibt, und ein SR-Flipflop, das einen Setzeingang und einen Rücksetzeingang hat, die mit der Eingangs- bzw. der Ausgangsseite der zweiten variablen Verzögerungsschaltung verbunden sind, und ein Ausgangssignal als das Ausgangstaktsignal abgibt, wobei der Steuerteil das Steuersignal auf solche Weise ändert, daß der Verzögerungswert der ersten variablen Verzögerungsschaltung verringert wird, wenn die Phase des ersten verzögerten Taktsignals später ist, und daß der Verzögerungswert der ersten variablen Verzögerungsschaltung vergrößert wird, wenn die Phase des ersten verzögerten Taktsignals früher ist.

Ein zweiter Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem ersten Aspekt der Erfindung, wobei die Steuereinheit folgendes aufweist: einen Phasenvergleich, der die Phasen des Eingangstaktsignals und des ersten verzögerten Taktsignals miteinander vergleicht, eines von einem Aufwärts- und einem Abwärtssignal je nachdem wählt, ob eines von dem Eingangstaktsignal und dem ersten verzögerten Taktsignal später oder früher als das andere Taktsignal ist, und ein gewähltes Signal über einen Zeitraum abgibt, der gleich einer Phasendifferenz für jeden Zyklus des Eingangstaktsignals ist; eine Ladungspumpe, die selektiv den einen oder den anderen von einem positiven und einem negativen Strom über einen Zeitraum abgibt, in dem das Aufwärtsbzw. das Abwärtssignal abgegeben wird; und ein Schleifenfilter, das ein kapazitives Element hat, die von der Ladungspumpe abgegebenen positiven und negativen Ströme in dem kapazitiven Element speichert und die Spannung des kapazitiven Elements als das Steuersignal abgibt.

Ein dritter Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem ersten Aspekt der Erfindung, wobei die erste variable Verzögerungsschaltung und die zweite variable Verzögerungsschaltung jeweils einen ersten und einen zweiten Abschnitt einer Gruppe von Verzögerungseinheits-Elementen haben, die die gleiche Struktur haben und in Kaskade geschaltet sind, so daß sie gerade angeordnet sind, wobei jedes der Verzögerungseinheits-Elemente, die die Gruppe bilden, ein Nichtglied zur Abgabe eines Signals in einer Verzögerungszeit, die mit dem Anstieg eines zugeführten Quellenstroms verringert wird, und eine Stromquelle zum Zuführen des Quellenstroms zu dem Nichtglied

in Abhängigkeit von einem Vorspannungssignal aufweist, und die erste variable Verzögerungsschaltung und die zweite variable Verzögerungsschaltung außerdem einen einzigen Vorspannungs-Schaltungsbereich miteinander teilen, der in Abhängigkeit von dem Steuersignal ein gemeinsames Signal als das Vorspannungssignal zu jeder Stromquelle liefert, die jeweils zu jedem der die Gruppe bildenden Verzögerungseinheits-Elemente gehört.

Ein vierter Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem ersten Aspekt der Erfindung, wobei die erste variable Verzögerungsschaltung aufweist: eine erste Festverzögerungsschaltung, die eine Gruppe von in Kaskade geschalteten ersten Verzögerungseinheits-Elementen hat und als erste Signalfolge eine Folge von Ausgangssignalen abgibt, die bei jeder ersten konstanten Zahl der ersten Verzögerungseinheits-Elemente abgerufen werden; und einen ersten Selektor, der mit der ersten Festverzögerungsschaltung verbunden ist, ein Signal aus der ersten Signalfolge in Abhängigkeit von einem Wählsignal einer Digitalform wählt, die eine Binärzahl auf solche Weise ausdrückt, daß ein Verzögerungswert monoton mit der Binärzahl geändert wird, und ein gewähltes Signal als das erste Verzögerungstaktsignal abgibt, wobei die zweite variable Verzögerungsschaltung aufweist: eine zweite Festverzögerungsschaltung, die eine Gruppe von zweiten Verzögerungseinheits-Elementen hat, die in Kaskade geschaltet sind, und als zweite Signalfolge eine Folge von Ausgangssignalen abgibt, die bei jeder zweiten konstanten Zahl der zweiten Verzögerungseinheits-Elemente abgenommen werden, und einen zweiten Selektor, der mit der zweiten Festverzögerungsschaltung verbunden ist, aus der zweiten Signalfolge in Abhängigkeit von dem Wählsignal ein Signal wählt, das einen Verzögerungswert hat, der ein konstantes Verhältnis zu einem Verzögerungswert des Signals hat, das von der ersten variablen Verzögerungsschaltung gewählt ist, und ein gewähltes Signal als das zweite verzögerte Taktsignal abgibt, wobei die Steuereinheit das Wählsignal als das Steuersignal überträgt.

Ein fünfter Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem vierten Aspekt der Erfindung, wobei der erste und der zweite Selektor die gleiche Struktur haben und wobei eine Verbindungsbeziehung zwischen dem ersten Selektor und der ersten Festverzögerungsschaltung identisch mit einer Verbindungsbeziehung zwischen dem zweiten Selektor und der zweiten Festverzögerungsschaltung vorgegeben ist, wobei die ersten und die zweiten Verzögerungseinheits-Elemente die gleiche Struktur haben und die erste konstante Zahl größer als die zweite konstante Zahl vorgegeben ist.

Ein sechster Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem vierten Aspekt der Erfindung, wobei der erste und der zweite Selektor die gleiche Struktur haben, die erste und die zweite Festverzögerungsschaltung die gleiche Struktur haben, der Steuerteil das Wählsignal, das einer Binärzahl entspricht, als ein Parallelsignal überträgt, eine Verbindungsbeziehung zwischen dem ersten Selektor und der ersten Verzögerungsschaltung identisch mit einer Verbindungsbeziehung zwischen dem zweiten Selektor und der zweiten Festverzögerungsschaltung vorgegeben ist, und eine Leitung zwischen dem ersten oder zweiten Selektor und dem Steuerteil auf solche Weise geschaltet ist, daß das Steuersignal bitverschoben wird.

Ein siebter Aspekt der Erfindung richtet sich auf die

Signalformereinrichtung gemäß dem vierten Aspekt der Erfindung, wobei der Steuerteil folgendes aufweist: einen D-Signalspeicher, der einen Dateneingang und einen Taktsignaleingang hat, in den das eine und das andere von dem ersten verzögerten Taktsignal und dem Eingangstaktsignal eingegeben wird, und der ein Ausgangssignal in Abhängigkeit von einem Pegel eines Signals des Dateneingangs bei jeder Anstiegsflanke auf einen aktiven Pegel eines Signals des Taktsignaleingangs aktualisiert, einen ersten Zähler, um selektiv eine Aufwärts- und Abwärtszählung im Zyklus des Eingangstaktsignals entsprechend dem Pegel des Ausgangssignals des D-Signalspeichers auszuführen, und einen zweiten Zähler, um einen Zählwert synchron mit dem Eingangstaktsignal jedesmal dann zu erhöhen bzw. zu verringern, wenn der erste Zähler überläuft bzw. unterläuft, und um den Zählwert als Wählsignal abzugeben.

Ein achter Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem ersten Aspekt der Erfindung, die ferner N (≥ 1) dritte variable Verzögerungsschaltungen aufweist, die der zweiten variablen Verzögerungsschaltung nachgeschaltet in Kaskade geschaltet sind und die gleiche Struktur wie die zweite variable Verzögerungsschaltung haben und in die das Steuersignal als ein Signal zur Steuerung eines Verzögerungswerts eingegeben wird, und wobei die Einrichtung — unter Betrachtung des SR-Flipflops als ein erstes SR-Flipflop — ferner M zweite SR-Flipflops aufweist, die Setz- und Rücksetzeingänge haben, die jeweils mit M ($1 \leq M \leq N$) Eingangs- und Ausgangsseiten der N dritten variablen Verzögerungsschaltungen verbunden sind.

Ein neunter Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem achten Aspekt der Erfindung, wobei N eine gerade Zahl ist und $M = N/2$, das erste SR-Flipflop und die M zweiten SR-Flipflops mit jeder zweiten Schaltung einer Gruppe von variablen Verzögerungsschaltungen verbunden sind, die von der zweiten variablen Verzögerungsschaltung und den N dritten variablen Verzögerungsgliedern gebildet und kaskadengeschaltet sind, und das konstante Verhältnis mit $1/(N+2)$ vorgegeben ist, wobei die Signalformereinrichtung ferner ein ODER-Glied aufweist, um eine logische ODER-Verknüpfung der Ausgangssignale des ersten SR-Flipflops und der M zweiten SR-Flipflops zu berechnen und abzugeben.

Ein zehnter Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem ersten Aspekt der Erfindung, die ferner einen Offseterzeugungsteil aufweist, der zwischen dem Steuerteil und der zweiten variablen Verzögerungsschaltung eingefügt ist und dem Steuersignal, das von dem Steuerteil übermittelt wird, ein Offsetsignal überlagert, um zu der zweiten variablen Verzögerungsschaltung ein überlagertes Signal zu übermitteln.

Ein elfter Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem ersten Aspekt der Erfindung, wobei das SR-Flipflop zwei Monoimpuls-Schaltkreise aufweist, um synchron mit der auf einen aktiven Pegel ansteigenden Vorderflanke des von außen eingegebenen Eingangstaktsignals einen Monoimpuls abzugeben, wobei der Monoimpuls jedem Teil der Signalformereinrichtung mit Ausnahme des Monoimpuls-Schaltkreises anstelle des Eingangstaktsignals zugeführt wird.

Ein dreizehnter Aspekt der Erfindung richtet sich auf eine Signalformereinrichtung, die die Signalform eines Eingangstaktsignals, das von außen eingegeben wird,

für die Abgabe eines Ausgangstaktsignals umformt und folgendes aufweist: einen Monoimpuls-Schaltkreis zur Abgabe eines Monoimpulses synchron mit einer auf einen aktiven Pegel ansteigenden Flanke des Eingangstaktsignals; eine erste variable Verzögerungsschaltung, die den Monoimpuls aufnimmt, den Monoimpuls um einen Verzögerungswert verzögert, der sich monoton mit einem Steuersignal ändert, und ein erstes verzögertes Taktsignal abgibt, wobei die Obergrenze des Verzögerungswerts mit mehr als einem Zyklus und weniger als zwei Zyklen des Eingangstaktsignals vorgegeben ist; eine zweite variable Verzögerungsschaltung, um einen von dem Monoimpuls und dem ersten verzögerten Taktsignal einzugeben und um eine verzögerte Signalfolge abzugeben, die sequentiell mit einer Verzögerungsdauer verzögert ist, die in Abhängigkeit von dem Steuersignal auf solche Weise geändert wird, daß der Verzögerungswert eines Signals an einem letzten Abschnitt ein konstantes Verhältnis, das kleiner als 1 ist, zu dem Verzögerungswert der ersten variablen Verzögerungsschaltung beibehält; einen Steuerteil, der die Phasen des Monoimpulses und des ersten verzögerten Taktsignals miteinander vergleicht und in Abhängigkeit von dem Vergleichsergebnis das Steuersignal erzeugt und abgibt; und ein ODER-Glied, das eine logische ODER-Verknüpfung eines Taktsignals, das in die zweite variable Verzögerungsschaltung eingegeben wird, und der verzögerten Signalfolge errechnet und die logische ODER-Verknüpfung als das Ausgangstaktsignal abgibt, wobei der Steuerteil das Steuersignal auf solche Weise ändert, daß der Verzögerungswert der ersten variablen Verzögerungsschaltung verringert wird, wenn die Phase des ersten verzögerten Taktsignals später ist, und daß der Verzögerungswert der ersten variablen Verzögerungsschaltung erhöht wird, wenn die Phase des ersten verzögerten Taktsignals früher ist.

Ein vierzehnter Aspekt der Erfindung richtet sich auf eine Signalformereinrichtung, die die Signalform eines Eingangstaktsignals, das von außen eingegeben wird, zur Abgabe eines Ausgangstaktsignals umformt und folgendes aufweist: eine variable Verzögerungsschaltung, die das Eingangstaktsignal eingibt, das Eingangstaktsignal um einen Verzögerungswert verzögert, der monoton mit einem Steuersignal geändert wird, und ein verzögertes Taktsignal abgibt, wobei die Obergrenze des Verzögerungswerts kleiner als ein Zyklus des Eingangstaktsignals vorgegeben ist; ein SR-Flipflop, das einen Setzeingang und einen Rücksetzeingang hat, in die das Eingangstaktsignal bzw. das verzögerte Taktsignal eingegeben werden, und das ein Ausgangssignal als Ausgangstaktsignal abgibt; einen Integrator, um das Ausgangstaktsignal zu integrieren und abzugeben; und einen Differenzverstärker, der zwei Eingänge hat, von denen einer mit einem Ausgang des Integrators verbunden ist, und der eine Differenz der Werte zwischen den beiden Eingängen verstärkt, um so den Verzögerungswert der variablen Verzögerungsschaltung zu verringern, wenn ein Wert des einen der beiden Eingangssignale größer als ein Wert eines anderen der beiden Eingangssignale ist, und um den Verzögerungswert der variablen Verzögerungsschaltung zu erhöhen, wenn der Wert des einen der beiden Eingangssignale kleiner als der Wert des anderen ist, und der ein verstärktes Signal als Steuersignal abgibt.

Ein fünfzehnter Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem zwölften Aspekt der Erfindung, die ferner einen Referenzsignalerzeugungsteil aufweist, um ein Signal mit einem Kon-

stantwert zu erzeugen, das dem anderen der beiden Eingänge zugeführt wird.

Ein sechzehnter Aspekt der Erfindung richtet sich auf eine Signalformereinrichtung, die die Signalfolge eines Eingangstaktsignals, das von außen eingegeben wird, umformt und ein Ausgangstaktsignal abgibt und folgendes aufweist: eine Festverzögerungsschaltung, die eine Gruppe von Verzögerungseinheits-Elementen hat, die in Kaskade geschaltet sind, und die eine Signalfolge abgibt, die durch sequentielles Verzögern des Eingangstaktsignals bei jeder konstanten Zahl der Verzögerungseinheits-Elemente erhalten wird; und einen Selektor, der mit der Festverzögerungsschaltung verbunden ist, ein Signal aus der Signalfolge in Abhängigkeit von einem Wählsignal einer digitalen Form wählt, die eine Binärzahl auf solche Weise ausdrückt, daß ein Verzögerungswert eine monotone Beziehung mit der Binärzahl hat, und ein gewähltes Signal als ein verzögertes Taktsignal abgibt; und ein SR-Flipflop, das einen Setzeingang und einen Rücksetzeingang hat, an die das Eingangstaktsignal bzw. das verzögerte Taktsignal geführt werden, und das ein Ausgangssignal als das Ausgangstaktsignal abgibt, einen ersten Zähler, um selektiv ein Aufwärts- und Abwärtszählen in einem kleineren Zyklus als dem des Eingangstaktsignals in Abhängigkeit von dem Pegel des Ausgangstaktsignals durchzuführen, und einen zweiten Zähler, um einen Zählwert selektiv auf solche Weise zu erhöhen und zu verringern, daß eine Abweichung des Tastverhältnisses des Ausgangstaktsignals von 50% jedesmal beim Überlaufen und Unterlaufen des ersten Zählers eliminiert wird, und um den Zählwert als Wählsignal zu übermitteln.

Ein siebzehnter Aspekt der Erfindung richtet sich auf die Signalformereinrichtung gemäß dem ersten Aspekt der Erfindung; dabei ist das konstante Verhältnis mit 1/4 vorgegeben, das SR-Flipflop ist durch ein EXKLUSIV-ODER-Glied ersetzt, das EXKLUSIV-ODER-Verknüpfungen von Signalen errechnet, die an zwei Eingängen eingegeben werden, und das die EXKLUSIV-ODER-Verknüpfung als Ausgangstaktsignal abgibt, und der Setzeingang und der Rücksetzeingang sind durch die beiden Eingänge ersetzt.

Ein achtzehnter Aspekt der Erfindung richtet sich auf eine Taktsignalführvorrichtung zum Ausgleich einer im Verlauf der Verstärkung durch einen Takttreiber und der Fortpflanzung durch eine Taktleitung erzeugten Verzögerung eines von außen zugeführten Eingangstaktsignals, wobei die Vorrichtung aufweist: eine DLL-Einrichtung, die das Eingangstaktsignal an einem Eingang eingibt und ein Rückführungstaktsignal, das von einem Punkt der Taktleitung rückgeführt wird, an dem anderen Eingang eingibt und das Eingangstaktsignal auf solche Weise verschiebt und abgibt, daß eine Phase des Eingangstaktsignals in Abhängigkeit davon verzögert oder vorverlegt wird, ob eine Phase eines Taktsignals des anderen der Eingänge früher oder später als die eines Taktsignals des einen der Eingänge ist; und eine Signalformereinrichtung, die das Tastverhältnis eines Taktsignals, das von der DLL-Einrichtung abgegeben wird, auf einen Konstantwert umformt und an den Takttreiber ein umgeformtes Taktsignal abgibt.

Ein neunzehnter Aspekt der Erfindung richtet sich auf eine Taktsignalführvorrichtung zum Ausgleich einer im Verlauf der Verstärkung durch einen Takttreiber und Fortpflanzung durch eine Taktleitung erzeugten Verzögerung eines von außen zugeführten Eingangstaktsignals, wobei die Vorrichtung folgendes aufweist: eine Festverzögerungsschaltung, die eine Gruppe von Ver-

zögerungseinheits-Elementen hat, die in Kaskade geschaltet sind, und eine Signalfolge abgibt, die durch sequentielles Verzögern des Eingangstaktsignals bei jeder konstanten Zahl der Verzögerungseinheits-Elemente erhalten wird; einen ersten Selektor, um ein Signal aus der Signalfolge in Abhängigkeit von einem ersten Wählsignal einer Digitalform zu wählen, das eine Binärzahl auf solche Weise ausdrückt, daß ein Verzögerungswert mit der Binärzahl linear erhöht wird, und um ein gewähltes Signal als erstes verzögertes Taktsignal abzugeben; einen zweiten Selektor, um ein Signal aus der Signalfolge in Abhängigkeit von einem zweiten Wählsignal einer Digitalform zu wählen, das eine Binärzahl ausdrückt, und zwar mit derselben Beziehung zwischen gewähltem Signal und zweitem Wählsignal wie zwischen diesem und dem ersten Wählsignal, und um das gewählte Signal als zweites verzögertes Taktsignal abzugeben; einen ersten Wählsignalerzeugungsteil, der das Eingangstaktsignal an einen von Eingängen führt und ein von einem Punkt der Taktleitung rückgeführtes Rückführungstaktsignal an den anderen der Eingänge führt und das erste Wählsignal in Abhängigkeit davon erhöht oder verringert, ob eine Phase eines Taktsignals des anderen der Eingänge früher oder später als die eines Taktsignals des einen der jeweiligen Eingänge ist; einen Zyklusmeßteil, um einen Zyklus des Eingangstaktsignals zu messen und ein Wählsignal zu erzeugen, das aus der Signalfolge ein Signal mit einem Verzögerungswert, der der halbe Zyklus ist, wählen kann, und um das Wählsignal als ein drittes Wählsignal abzugeben; einen zweiten Wählsignalerzeugungsteil, um das dritte Wählsignal zu dem ersten Wählsignal zu addieren und ein Summensignal als das zweite Wählsignal abzugeben, und ein SR-Flipflop, das einen Setzeingang und einen Rücksetzeingang hat, denen das erste bzw. das zweite verzögerte Taktsignal zugeführt werden, und das an den Takttreiber ein Ausgangssignal abgibt.

Ein zwanzigster Aspekt der Erfindung richtet sich auf die Taktsignalführvorrichtung gemäß dem neunzehnten Aspekt der Erfindung, wobei der Zyklusmeßteil unter Bezugnahme auf die Festverzögerungsschaltung als eine erste Festverzögerungsschaltung folgendes aufweist: eine zweite Festverzögerungsschaltung, die eine Gruppe von Verzögerungseinheits-Elementen hat, die in Kaskade geschaltet sind, und eine Signalfolge abgibt, die durch sequentielles Verzögern des Eingangstaktsignals bei jeder konstanten Zahl der Verzögerungseinheits-Elemente erhalten wird, wobei der Verzögerungswert der Signalfolge gleich dem einer Signalfolge einer ersten Festverzögerungsschaltung ist; einen dritten Selektor, um ein Signal aus der Signalfolge der zweiten Festverzögerungsschaltung in Abhängigkeit von einem vierten Wählsignal einer Digitalform zu wählen, die eine Binärzahl ausdrückt, und zwar mit der gleichen Beziehung zwischen gewähltem Signal und viertem Wählsignal wie zwischen diesem und dem ersten Wählsignal, und um das gewählte Signal als ein drittes verzögertes Taktsignal abzugeben; einen vierten Wählsignalerzeugungsteil, der das Eingangstaktsignal einem von Eingängen zuführt und das dritte verzögerte Taktsignal dem anderen der Eingänge zuführt und das vierte Wählsignal in Abhängigkeit davon erhöht oder verringert, ob eine Phase des Taktsignals des anderen der Eingänge früher oder später als die des Taktsignals des einen der Eingänge liegt; und einen Teiler, um das vierte Wählsignal auf einen halben Wert als eine Binärzahl umzusetzen und einen geteilten Wert als das dritte Wählsignal abzugeben.

Gemäß dem ersten Aspekt der Erfindung wird das erste verzögerte Taktsignal gegenüber dem Eingangstaktsignal durch die Operation des Steuerteils um einen Zyklus verzögert, so daß ihre Phasen miteinander im wesentlichen koinzident werden. Daher wird das Ausgangssignal der zweiten variablen Verzögerungsschaltung gegenüber ihrem Eingangssignal um eine Dauer verzögert, die gleich einem konstanten Verhältnis ist, das kleiner als ein Zyklus ist. Das SR-Flipflop wird von dem Eingangssignal der zweiten variablen Verzögerungsschaltung gesetzt und von ihrem Ausgangssignal rückgesetzt. Infolgedessen hat das von dem SR-Flipflop abgegebene Taktsignal ein konstantes Tastverhältnis, das gleich dem konstanten Verhältnis ist. Anders ausgedrückt, es ist möglich, ein Ausgangstaktsignal zu erhalten, das ungeachtet des Tastverhältnisses des Eingangstaktsignals immer ein konstantes Tastverhältnis und eine Phase hat, die mit der Phase des Eingangstaktsignals im wesentlichen koinzident ist.

Gemäß dem zweiten Aspekt der Erfindung weist der Steuerteil den Phasenvergleicher, die Ladungspumpe und das Schleifenfilter auf. Daher hat der Steuerteil eine einfache Konstruktion und kann leicht hergestellt werden.

Gemäß dem dritten Aspekt der Erfindung sind die erste und die zweite variable Verzögerungsschaltung von den Verzögerungseinheits-Elementen mit gleicher Struktur gebildet. Außerdem wird ein Vorspannungssignal gemeinsam einer jeweiligen Stromquelle zugeführt, die an jedem Verzögerungseinheits-Element vorgesehen ist. Auch wenn daher das Steuersignal geändert wird, halten die Verzögerungswerte der ersten und der zweiten variablen Verzögerungsschaltung präzise ein konstantes Verhältnis, das gleich dem der Anzahl von Verzögerungseinheits-Elementen ist. Anders ausgedrückt, es kann die Beziehung der beiden Verzögerungswerte mit hoher Präzision realisiert werden. Da ein Vorspannungskreis gemeinsam genutzt wird, ergibt sich eine Einsparung bei der Zahl der Elemente. Außerdem kann ein Rauschfaktor, wie etwa die Signalkopplung reduziert werden, weil die Verzögerungseinheits-Elemente gerade verlaufend angeordnet sind.

Gemäß dem vierten Aspekt der Erfindung werden die erste und die zweite variable Verzögerungsschaltung kaum durch Rauschen beeinflusst, weil sie aus einer digitalen Schaltung zur Verarbeitung eines Digitalsignals bestehen. Außerdem wird ein Signal aus der Signalfolge, die für jede konstante Anzahl von Verzögerungseinheits-Elementen erhalten wird, in Abhängigkeit von dem Steuersignal gewählt, der Verzögerungswert hat hohe Präzision, und die Linearität zwischen dem Steuersignal und dem Verzögerungswert ist sehr gut.

Gemäß dem fünften Aspekt der Erfindung sind die Verzögerungseinheits-Elemente, die zu der ersten und der zweiten variablen Verzögerungsschaltung gehören, identisch, und ihre Anzahl ist für jede Signalfolge verschieden. Infolgedessen sind ihre Verzögerungswerte voneinander verschieden. Obwohl also das Steuersignal geändert wird, wird das Verhältnis der Verzögerungswerte zwischen der ersten und der zweiten variablen Verzögerungsschaltung mit hoher Präzision konstant gehalten.

Gemäß dem sechsten Aspekt der Erfindung haben die erste und die zweite variable Verzögerungsschaltung dieselbe Struktur, und ihre Verzögerungswerte sind dadurch unterschiedlich vorgegeben, daß Leitungen so geschaltet sind, daß das Steuersignal bitweise verschoben wird. Infolgedessen wird auch dann, wenn das Steuersi-

gnal geändert wird, das Verhältnis der Verzögerungswerte zwischen der ersten und der zweiten variablen Verzögerungsschaltung mit hoher Präzision konstant gehalten. Da ferner die erste und die zweite variable Verzögerungsschaltung identisch gefertigt werden können, ist die Fertigungs-Effizienz hoch.

Gemäß dem siebten Aspekt der Erfindung ist der Steuerteil von der Digitalschaltung gebildet. Daher sind die Charakteristiken konstant, das Steuersignal wird mit hoher Präzision erzeugt, und der Einfluß von Rauschen ist gering, so daß eine stabile Operation durchführbar ist. Außerdem ist der Steuerteil aus wohlbekannten einfachen Schaltkreisen gebildet, nämlich dem D-Signalspeicher und dem Zähler. Daher kann die Herstellung einfach und mit geringen Herstellungskosten erfolgen.

Gemäß dem achten Aspekt der Erfindung ist es durch die dritte variable Verzögerungsschaltung und das zweite SR-Flipflop möglich, ein Taktsignal zu erhalten, das dasselbe Tastverhältnis wie ein Taktsignal hat, das von dem ersten SR-Flipflop abgegeben wird, und das eine Phase hat, die von derjenigen des Taktsignals, das von dem ersten SR-Flipflop abgegeben wird, verschieden ist. Daher eignet sich die Einrichtung der Erfindung für eine Einrichtung, die ein Mehrphasen-Taktsignal verlangt.

Gemäß dem neunten Aspekt der Erfindung wird ein Mehrphasen-Taktsignal, das ein Tastverhältnis von 50% und eine Phase hat, die gegenüber dem Zyklus des Eingangstaktsignals um $1/(1+M)$ verschoben ist, von dem ersten SR-Flipflop und M zweiten SR-Flipflops erhalten. Außerdem wird von dem ODER-Glied ein Taktsignal erhalten, das ein Tastverhältnis von 50% und eine Frequenz hat, die das $(M+1)$ -fache der Frequenz des Eingangstaktsignals ist. Daher eignet sich die Einrichtung der Erfindung für eine Einrichtung, die ein Mehrphasen- oder ein vervielfachtes Taktsignal benötigt.

Gemäß dem zehnten Aspekt der Erfindung ist der Offseterzeugungsteil vorgesehen. Infolgedessen kann das Tastverhältnis einfach geändert werden, indem der Wert des Steuersignals, das der zweiten variablen Verzögerungsschaltung zugeführt wird, variiert wird.

Gemäß dem elften Aspekt der Erfindung weist das SR-Flipflop den Monoimpuls-Schaltkreis auf. Das Eingangstaktsignal wird von dem Monoimpuls-Schaltkreis umgeformt und jedem Teil der Einrichtung zugeführt. Infolgedessen wird, auch wenn ein Eingangstaktsignal mit großem Tastverhältnis eingegeben wird, die Einrichtung der Erfindung normal betrieben.

Gemäß dem dreizehnten Aspekt der Erfindung wird der Monoimpuls gegenüber dem Eingangstaktsignal um einen Zyklus verzögert, und zwar durch die Operation des Steuerteils, so daß ihre Phasen im wesentlichen koinzident miteinander werden. Daher wird das Ausgangssignal des letzten Teils der zweiten variablen Verzögerungsschaltung gegenüber ihrem Eingangssignal um eine Dauer verzögert, die gleich einem konstanten Verhältnis ist, das kleiner als ein Zyklus ist. Somit wird von dem ODER-Glied ein Taktsignal abgegeben, das die gleiche Phase wie das Eingangstaktsignal und ein konstantes Tastverhältnis hat. Anders ausgedrückt, es kann durch Anwendung der Einrichtung der Erfindung ein Ausgangstaktsignal erhalten werden, das ungeachtet des Tastverhältnisses des Eingangstaktsignals immer ein konstantes Tastverhältnis und eine Phase hat, die mit der Phase des Eingangstaktsignals koinzident ist.

Gemäß dem vierzehnten Aspekt der Erfindung hat das von dem SR-Flipflop abgegebene Taktsignal eine Phase, die mit derjenigen des Eingangstaktsignals koin-

zident ist, und hat eine Periode für einen aktiven Pegel, die mit dem Verzögerungswert der variablen Verzögerungsschaltung koinzident ist. Das Ausgangstaktsignal wird von dem Integrator integriert. Der Verzögerungswert der variablen Verzögerungsschaltung wird in Abhängigkeit von der Differenz zwischen einem Integralsignal und dem Wert des anderen Eingangs des Differenzverstärkers erhöht und verringert. Infolgedessen wird der Verzögerungswert auf eine solche Weise bestimmt, daß das Integralsignal mit dem Wert des anderen Eingangs koinzident ist.

Insbesondere kann ein Ausgangstaktsignal erhalten werden, dessen Phase mit derjenigen des Eingangstaktsignals koinzident ist und dessen Tastverhältnis durch den Wert des anderen Eingangs unabhängig von dem Eingangstaktsignal regelbar ist. Ferner kann die Einrichtung der Erfindung auch als eine PDM-Einrichtung verwendet werden, indem an dem anderen Eingang ein Signal zugeführt wird, das sich über die Zeit ändert.

Gemäß dem fünfzehnten Aspekt der Erfindung weist die Einrichtung den Referenzsignalerzeugungsteil auf. Es ist somit möglich, ein Ausgangstaktsignal zu erhalten, das ein konstantes Tastverhältnis hat, das dem Wert des erzeugten Referenzsignals entspricht.

Gemäß dem sechzehnten Aspekt der Erfindung sind die Festverzögerungsschaltung und der Selektor miteinander so verbunden, daß sie als eine variable Verzögerungsschaltung wirken. Das von dem SR-Flipflop abgegebene Taktsignal hat eine Phase, die mit derjenigen des Eingangstaktsignals koinzident ist, und eine Periode für einen aktiven Pegel, die mit dem Verzögerungswert der variablen Verzögerungsschaltung koinzident ist. Der Verzögerungswert wird von dem ersten und dem zweiten Zähler auf solche Weise geändert, daß die Abweichung des Tastverhältnisses des Ausgangstaktsignals von 50% eliminiert wird. Infolgedessen ist das Tastverhältnis des Ausgangstaktsignals ungeachtet des Eingangstaktsignals mit 50% vorgegeben.

Gemäß dem siebzehnten Aspekt der Erfindung ist der Verzögerungswert der zweiten variablen Verzögerungsschaltung mit 1/4 desjenigen der ersten variablen Verzögerungsschaltung vorgegeben, und das SR-Flipflop ist durch das EXKLUSIV-ODER-Glied ersetzt. Infolgedessen wird, wenn das Taktsignal mit einem Tastverhältnis von 50% eingegeben wird, ein Taktsignal mit der doppelten Frequenz von dem EXKLUSIV-ODER-Glied erhalten.

Gemäß dem achtzehnten Aspekt der Erfindung ist die Taktsignalführvorrichtung mit der Signalformereinrichtung versehen. Infolgedessen wird ein Taktsignal, das ungeachtet des Eingangstaktsignals ein konstantes Tastverhältnis hat, den Taktleitungen zugeführt. Außerdem ist zwischen die DLL-Einrichtung und den Taktreiber, d. h. in die Schleife der DLL-Einrichtung, die Signalformereinrichtung eingefügt. Daher wird von der DLL-Einrichtung eine Phasenkompensation durchgeführt, die die durch die Signalformereinrichtung gegebene Verzögerung einschließt.

Es ist also möglich, das Ausgangstaktsignal mit einem konstanten Tastverhältnis ungeachtet des Eingangstaktsignals zu erhalten, ohne die Phasenausgleichsfunktion der DLL-Einrichtung zu beeinträchtigen, indem die Taktsignalführvorrichtung verwendet wird. Infolgedessen ist es möglich, die Betriebsgeschwindigkeit einer Objekteinrichtung zu erhöhen, der das Ausgangstaktsignal zugeführt wird.

Gemäß dem neunzehnten Aspekt der Erfindung sind die Festverzögerungsschaltung und der erste Selektor

miteinander verbunden, um als die erste variable Verzögerungsschaltung zu wirken. Ferner sind die Festverzögerungsschaltung und der zweite Selektor so miteinander verbunden, daß sie als die zweite variable Verzögerungsschaltung wirken. Der Verzögerungswert der ersten variablen Verzögerungsschaltung wird von dem ersten Wählsignalerzeugungsteil derart gesteuert, daß die Phasendifferenz zwischen dem Eingangstaktsignal und dem Rückführungstaktsignal beseitigt wird. Ferner wird der Verzögerungswert der zweiten variablen Verzögerungsschaltung auf einen halben Zyklus des Eingangstaktsignals durch den Zyklusmeßteil und den zweiten Wählsignalerzeugungsteil eingestellt. Daher wird von dem SR-Flipflop das Taktsignal mit einem Tastverhältnis von 50% abgegeben.

Es ist somit möglich, ungeachtet des Eingangstaktsignals unter Anwendung der Taktsignalführvorrichtung die Phase zu kompensieren und ein Tastverhältnis von 50% zu erhalten. Infolgedessen kann die Betriebsgeschwindigkeit der Objekteinrichtung, der das Ausgangstaktsignal zuzuführen ist, erhöht werden.

Gemäß dem zwanzigsten Aspekt der Erfindung sind die zweite Festverzögerungsschaltung und der dritte Selektor miteinander verbunden, um als dritte variable Verzögerungsschaltung zu wirken. Durch die Operation des vierten Wählsignalerzeugungsteils ist der Verzögerungswert der dritten variablen Verzögerungsschaltung mit einem Zyklus des Eingangstaktsignals koinzident. In diesem Fall ist der Wert des vierten Steuersignals mit einem Wert vorgegeben, der den Verzögerungswert für einen Zyklus des Eingangstaktsignals wählen kann.

Der Verzögerungswert der zweiten Festverzögerungsschaltung ist gleich dem der ersten Festverzögerungsschaltung, und die Beziehung zwischen dem Wählsignal des dritten Selektors und der ausgewählten Signalfolge ist auf die gleiche Weise wie bei dem ersten und zweiten Selektor vorgegeben. Das zweite Steuersignal, das durch Addition des dritten Steuersignals, das gleich dem halben Wert des vierten Wählsignals ist, mit dem ersten Steuersignal erhalten wird, wählt also als das zweite verzögerte Taktsignal ein Taktsignal, das gegenüber dem ersten verzögerten Taktsignal um den halben Zyklus des Eingangstaktsignals verzögert ist. Daher ist das Tastverhältnis des von dem SR-Flipflop abgegebenen Taktsignals ungeachtet des Eingangstaktsignals mit 50% vorgegeben.

Daher ist die Struktur des Zyklusmeßteils gleich den Strukturen der ersten Festverzögerungsschaltung, des ersten und des zweiten Selektors und des ersten Wählsignalerzeugungsteils, und die Strukturen können gleich wie bei entsprechenden Teilen sein. Anders ausgedrückt, es können die Layoutmittel, wie etwa Schaltkreisstrukturen gemeinsam verwendet werden, das Fertigungsverfahren kann vereinfacht und die Herstellungskosten können gesenkt werden.

Die Erfindung wird nachstehend, auch hinsichtlich weiterer Merkmale und Vorteile, anhand der Beschreibung von Ausführungsbeispielen und unter Bezugnahme auf die beiliegenden Zeichnungen näher erläutert. Die Zeichnungen zeigen in:

Fig. 1 ein Blockbild, das eine Signalformereinrichtung gemäß einer zweiten Ausführungsform der Erfindung zeigt;

Fig. 2 ein Blockbild, das eine Taktsignalführvorrichtung gemäß einer ersten Ausführungsform der Erfindung zeigt;

Fig. 3 ein Impulsdiagramm der Taktsignalführvorrichtung gemäß der ersten Ausführungsform der Erfindung.

dung;

Fig. 4 ein Impulsdiagramm der Signalformereinrichtung gemäß der zweiten Ausführungsform der Erfindung;

Fig. 5 ein Blockbild, das eine variable Verzögerungsschaltung gemäß der zweiten Ausführungsform der Erfindung zeigt;

Fig. 6 ein Blockbild, das ein anderes Beispiel der variablen Verzögerungsschaltung gemäß der zweiten Ausführungsform der Erfindung zeigt;

Fig. 7 ein Blockbild, das eine Signalformereinrichtung gemäß einer dritten Ausführungsform der Erfindung zeigt;

Fig. 8 ein Blockbild, das eine erste variable Verzögerungsschaltung gemäß der dritten Ausführungsform der Erfindung zeigt;

Fig. 9 ein Blockbild, das eine zweite variable Verzögerungsschaltung gemäß der dritten Ausführungsform der Erfindung zeigt;

Fig. 10 ein Blockbild, das ein weiteres Beispiel der ersten variablen Verzögerungsschaltung gemäß der dritten Ausführungsform der Erfindung zeigt;

Fig. 11 ein Blockbild, das ein anderes Beispiel der zweiten variablen Verzögerungsschaltung gemäß der dritten Ausführungsform der Erfindung zeigt;

Fig. 12 ein Blockbild, das einen Teil einer Signalformereinrichtung gemäß einer vierten Ausführungsform der Erfindung zeigt;

Fig. 13 ein Impulsdiagramm der Signalformereinrichtung gemäß der vierten Ausführungsform der Erfindung;

Fig. 14 ein Impulsdiagramm der Signalformereinrichtung gemäß der vierten Ausführungsform der Erfindung;

Fig. 15 ein Blockbild, das ein SR-Flipflop gemäß einer fünften Ausführungsform der Erfindung zeigt;

Fig. 16 ein Impulsdiagramm einer Signalformereinrichtung gemäß der fünften Ausführungsform der Erfindung;

Fig. 17 ein Blockbild, das ein SR-Flipflop gemäß einer sechsten Ausführungsform der Erfindung zeigt;

Fig. 18 ein Blockbild, das das SR-Flipflop gemäß der sechsten Ausführungsform der Erfindung zeigt;

Fig. 19 ein Blockbild, das eine Signalformereinrichtung gemäß einer siebten Ausführungsform der Erfindung zeigt;

Fig. 20 ein Impulsdiagramm der Signalformereinrichtung gemäß der siebten Ausführungsform der Erfindung;

Fig. 21 ein Blockbild, das eine Signalformereinrichtung gemäß einer achten Ausführungsform der Erfindung zeigt;

Fig. 22 ein Blockbild, das eine zweite variable Verzögerungsschaltung gemäß der achten Ausführungsform der Erfindung zeigt;

Fig. 23 ein Blockbild, das ein Nichtglied gemäß der achten Ausführungsform der Erfindung zeigt;

Fig. 24 ein Impulsdiagramm der Signalformereinrichtung gemäß der achten Ausführungsform der Erfindung;

Fig. 25 ein Blockbild, das eine Signalformereinrichtung gemäß einer neunten Ausführungsform der Erfindung zeigt;

Fig. 26 ein Impulsdiagramm der Signalformereinrichtung gemäß der neunten Ausführungsform der Erfindung;

Fig. 27 ein Blockbild, das eine Signalformereinrichtung gemäß einer elften Ausführungsform der Erfindung zeigt;

dung zeigt;

Fig. 28 ein Impulsdiagramm der Signalformereinrichtung gemäß der elften Ausführungsform der Erfindung;

Fig. 29 ein Blockbild, das einen Integrator gemäß der elften Ausführungsform der Erfindung zeigt;

Fig. 30 ein Blockbild, das ein anderes Beispiel des Integrators gemäß der elften Ausführungsform der Erfindung zeigt;

Fig. 31 ein Blockbild, das noch ein anderes Beispiel des Integrators gemäß der elften Ausführungsform der Erfindung zeigt;

Fig. 32 ein Blockbild, das ein weiteres Beispiel des Integrators gemäß der elften Ausführungsform der Erfindung zeigt;

Fig. 33 ein Blockbild, das eine Signalformereinrichtung gemäß einer zwölften Ausführungsform der Erfindung zeigt;

Fig. 34 ein Blockbild, das ein Digitalfilter gemäß der zwölften Ausführungsform der Erfindung zeigt;

Fig. 35 ein Blockbild, das ein anderes Beispiel des Digitalfilters gemäß der zwölften Ausführungsform der Erfindung zeigt;

Fig. 36 ein Blockbild, das eine Signalformereinrichtung gemäß einer dreizehnten Ausführungsform der Erfindung zeigt;

Fig. 37 ein Blockbild, das eine Signalformereinrichtung gemäß einer vierzehnten Ausführungsform der Erfindung zeigt;

Fig. 38 ein Blockbild, das eine Signalformereinrichtung gemäß einer fünfzehnten Ausführungsform der Erfindung zeigt;

Fig. 39 ein Impulsdiagramm der Signalformereinrichtung gemäß der fünfzehnten Ausführungsform der Erfindung;

Fig. 40 ein Blockbild, das eine Signalformereinrichtung gemäß einer sechzehnten Ausführungsform der Erfindung zeigt;

Fig. 41 ein Impulsdiagramm der Signalformereinrichtung gemäß der sechzehnten Ausführungsform der Erfindung;

Fig. 42 ein Blockbild, das einen ersten Steuersignalerzeugungsteil gemäß der sechzehnten Ausführungsform der Erfindung zeigt;

Fig. 43 ein Blockbild, das einen Zyklusmeßteil gemäß der sechzehnten Ausführungsform der Erfindung zeigt;

Fig. 44 ein Blockbild, das einen zweiten Steuersignalerzeugungsteil gemäß der sechzehnten Ausführungsform der Erfindung zeigt;

Fig. 45 ein Blockbild, das eine Signalformereinrichtung gemäß einer siebzehnten Ausführungsform der Erfindung zeigt;

Fig. 46 ein Impulsdiagramm der Signalformereinrichtung gemäß der siebzehnten Ausführungsform der Erfindung;

Fig. 47 ein Blockbild, das eine Taktsignalführvorrichtung nach dem Stand der Technik zeigt;

Fig. 48 ein Blockbild, das einen Phasenvergleichler gemäß dem Stand der Technik zeigt;

Fig. 49 ein Impulsdiagramm des bekannten Phasenvergleichers;

Fig. 50 ein Zustandsübergangsdiagramm des Phasenvergleichers nach dem Stand der Technik;

Fig. 51 ein Blockbild, das eine Ladungspumpe und ein Schleifenfilter gemäß dem Stand der Technik zeigt;

Fig. 52 ein Blockbild, das eine Stromquelle gemäß dem Stand der Technik zeigt;

Fig. 53 ein Blockbild, das die Stromquelle gemäß dem Stand der Technik zeigt; und

Fig. 54 ein Blockbild, das eine variable Verzögerungsschaltung nach dem Stand der Technik zeigt.

1. Erste Ausführungsform

Fig. 2 ist ein Blockbild, das den Aufbau der Taktsignalführvorrichtung gemäß der ersten Ausführungsform zeigt. In den folgenden Zeichnungen sind gleiche Teile jeweils mit den gleichen Bezugszeichen wie in der bekannten Vorrichtung gemäß den Fig. 47 bis 54 versehen und werden daher nicht erneut beschrieben.

In Fig. 2 bezeichnet 1 eine DLL-Einrichtung, 2 ist eine Signalformereinrichtung, 3 ist ein Taktreiber, 4 bezeichnet eine Taktleitung, 6 ist ein Taktsignaleingang, 7 ist eine Rückführungsleitung, 8 ist eine Ausgangsleitung der DLL-Einrichtung, 9 ist eine Taktreiber-Eingangsleitung, CL ist ein von außen übermitteltes Eingangstaktsignal (externes Taktsignal), FB ist ein Rückführungstaktsignal, IN bezeichnet ein Eingangstaktsignal, des zu der Signalformereinrichtung 2 übertragen wird, OUT bezeichnet ein Ausgangstaktsignal von der Signalformereinrichtung 2, und 501 bezeichnet eine Taktsignalführvorrichtung.

5 bezeichnet eine Objekteinrichtung (ein System), die mit der Taktsignalführvorrichtung 501 verbunden ist und synchron mit einem Taktsignal arbeitet, das von der Taktsignalführvorrichtung 501 zugeführt wird. Beispielsweise umfaßt die Objekteinrichtung 5 eine Vielzahl von Speicherelementen L, die synchron mit dem Taktsignal arbeiten, wie Fig. 2 zeigt. Bei einem Großintegrationselement wie etwa einem LSI-Bauelement oder dergleichen beträgt die Anzahl von Speicherelementen L gewöhnlich mehrere tausend oder noch mehr. Daher hat die Taktleitung 4 gewöhnlich die Form eines Taktsignalbaums.

Die DLL-Einrichtung 1 und der Taktreiber 3 sind wohl bekannt, wie Fig. 47 zeigt. Die Signalformereinrichtung 2 ist als eine Tastverhältnis-Rückgewinnungseinrichtung ausgebildet, die das Eingangstaktsignal IN, das verschiedene Tastverhältnisse hat, in ein Taktsignal umformt, das ein Tastverhältnis von 50% hat. Daher wird das Taktsignal, das ein Tastverhältnis von 50% hat, von der Taktsignalführvorrichtung 501 der Objekteinrichtung 5 zugeführt.

Ein Taktsignal wird als Rückführungstaktsignal FB von einem Punkt in der Taktleitung 4 zu einem von zwei Eingängen der DLL-Einrichtung 1 rückgeführt. Anders ausgedrückt, es unterscheidet sich die Taktsignalführvorrichtung 501 von der bekannten Taktsignalführvorrichtung 551 charakteristisch dadurch, daß die Signalformereinrichtung 2 zwischen die DLL-Einrichtung 1 und den Taktreiber 3 eingefügt ist.

Das Impulsdigramm von Fig. 3 zeigt die Signalwellenform jedes Teils der Taktsignalführvorrichtung 501. Dabei bezeichnet T einen Zyklus des Eingangstaktsignals CL. Durch die Operation der Signalformereinrichtung wird die Wellenform des Eingangstaktsignals IN so geformt, daß sie ein Tastverhältnis von 50% hat und das Ausgangstaktsignal OUT abgegeben wird. Infolgedessen hat das Rückführungstaktsignal FB, also das Taktsignal an einem Punkt der Taktleitung 4, ebenfalls ein auf 50% eingestelltes Tastverhältnis.

Zusätzlich ist die Phase des Rückführungstaktsignals FB mit derjenigen des Eingangstaktsignals CL durch die Operation der DLL-Einrichtung 1 äquivalent koinzident. Bei einem in Fig. 3 gezeigten Beispiel liegt das Rückführungstaktsignal FB um zwei Zyklen nach dem Eingangstaktsignal CL. Infolgedessen wird eine äquiva-

lente Phasendifferenz eliminiert.

Wie vorstehend beschrieben wird, ist die Taktsignalführvorrichtung 501 so ausgebildet, als ob die Signalformereinrichtung 2 in die Schleife der DLL-Einrichtung 1 eingefügt wäre. Infolgedessen erholt sich das Tastverhältnis des Taktsignals auf 50% ohne Schädigung der Verzögerungsausgleichsfunktion der DLL-Einrichtung 1. Außerdem kann die Verzögerung zwischen dem Eingangstaktsignal CL und dem Rückführungstaktsignal FB, die die Verzögerung eines von der Signalformereinrichtung 2 erzeugten Taktsignals einschließt, äquivalent eliminiert werden.

Das Taktsignal, das ein Tastverhältnis von 50% hat, an dem eine Verzögerungskompensation durchgeführt wird, wird der Objekteinrichtung 5 unter Anwendung der Taktsignalführvorrichtung 501 zugeführt. Wenn also die Objekteinrichtung 5, die den Verzögerungsausgleich benötigt, Teile hat, die mit der Vorder- und der Hinterflanke des Taktsignals synchronisiert sind, kann die Betriebsgeschwindigkeit gesteigert werden.

2. Zweite Ausführungsform

Nachstehend wird die zweite Ausführungsform der Signalformereinrichtung beschrieben.

2-1. Gesamteinrichtung

Fig. 1 ist ein Blockbild, das den Aufbau der zweiten Ausführungsform der Signalformereinrichtung zeigt. Eine Signalformereinrichtung 502 ist als Tastverhältnis-Rückgewinnungseinrichtung ausgebildet, um das Tastverhältnis eines Eingangstaktsignals auf 50% umzuformen und das umgeformte Taktsignal abzugeben, und eignet sich für die Signalformereinrichtung 2 der oben beschriebenen Taktsignalführvorrichtung 501.

Wie Fig. 1 zeigt, ist die Signalformereinrichtung 502 hauptsächlich durch eine Analogschaltung gebildet. Dabei bezeichnet 10 einen Taktsignaleingang, 11 ist eine erste variable Verzögerungsschaltung, 12 ist eine zweite variable Verzögerungsschaltung, 13 ist ein Steuerteil, 14 ist ein SR-Flipflop, 15 ist ein Phasenvergleicher, 16 ist eine Ladungspumpe, 17 ist ein Schleifenfilter, 18 ist eine Steuersignalleitung, 19 ist ein Taktsignalausgang, Vin bezeichnet ein Steuersignal, OUT D bezeichnet ein Ausgangstaktsignal der ersten Verzögerungsschaltung 11, und OUT B bezeichnet ein Ausgangstaktsignal der zweiten Verzögerungsschaltung 12.

Das von dem Schleifenfilter 17 abgegebene Steuersignal Vin wird gemeinsam in die erste und die zweite variable Verzögerungsschaltung 11 und 12 geführt. Die erste variable Verzögerungsschaltung 11 verzögert ein Eingangstaktsignal IN von dem Taktsignaleingang 10 um einen Verzögerungswert, der dem Steuersignal Vin entspricht, und gibt das Ausgangstaktsignal OUT A ab. Ebenso verzögert die zweite variable Verzögerungsschaltung 12 das Ausgangstaktsignal OUT A weiter um einen Verzögerungswert, der dem Steuersignal Vin entspricht, und gibt das Ausgangstaktsignal OUT B ab.

Außerdem sind die erste variable Verzögerungsschaltung 11 und die zweite variable Verzögerungsschaltung 12 so ausgebildet, daß der Verzögerungswert der zweiten variablen Verzögerungsschaltung 12 immer der halbe Verzögerungswert der ersten variablen Verzögerungsschaltung 11 ist, und zwar unter der Bedingung, daß beiden variablen Verzögerungsschaltungen 11 und 12 derselbe Wert als das Steuersignal Vin zugeführt wird. Anders ausgedrückt wird die folgende Beziehung:

Verzögerung (A) = 2 × Verzögerung (B) (Gleichung 1)

immer zwischen einer Verzögerung (A): einem Verzögerungswert der ersten variablen Verzögerungsschaltung 11, und einer Verzögerung (B): einem Verzögerungswert der zweiten variablen Verzögerungsschaltung 12 beibehalten. Ferner ist der maximale variable Verzögerungswert der ersten variablen Verzögerungsschaltung 11 größer als der Taktzyklus des Eingangstaktsignals IN vorgegeben (beispielsweise 10 ns für ein Taktsignal von 100 MHz) und ist mit weniger als dem Doppelten des Zyklus vorgegeben.

Der Phasenvergleich 15, die Ladungspumpe 16 und das Schleifenfilter 17, die in dem Steuerteil 13 vorgesehen sind, sind auf die gleiche Weise wie der Phasenvergleich 202, die Ladungspumpe 203 und das Schleifenfilter 204 in der bekannten Taktsignalführvorrichtung 551 wirksam. Der Phasenvergleich 15 vergleicht die Phasen des Eingangstaktsignals IN und des Ausgangstaktsignals OUT_A miteinander und gibt in Abhängigkeit von dem Vergleichsergebnis ein Aufwärtssignal UP oder ein Abwärtssignal DWN ab.

Die Ladungspumpe 16 wandelt das Aufwärtssignal UP und das Abwärtssignal DWN in ein Strompaket um, das von dem Schleifenfilter 17 abzugeben ist. Das Schleifenfilter 17 gibt als Steuersignal Vin ein Spannungssignal ab, das dem Integrationswert des eingegebenen Strompakets entspricht.

Das Ausgangstaktsignal OUT_A und das Ausgangstaktsignal OUT_B werden einem Setzeingang SET bzw. einem Rücksetzeingang RST des SR-Flipflops 14 zugeführt. Das Ausgangssignal eines nichtinvertierenden Ausgangs Q des SR-Flipflops 14 wird als Ausgangstaktsignal OUT durch den Taktsignalausgang 19 nach außen abgegeben. Ein SR-Flipflop mit Rücksetzpriorität wird als das SR-Flipflop 14 verwendet.

Fig. 4 ist ein Impulsdigramm, das die Signalwellenform jedes Teils der Signalformereinrichtung 502 zeigt. Dabei bezeichnet T einen Zyklus des Eingangstaktsignals IN. Im allgemeinen wird als Eingangstaktsignal IN ein Taktsignal eingegeben, das ein Tastverhältnis hat, das nicht immer 50% ist.

Das Eingangstaktsignal IN und das Ausgangstaktsignal OUT_A werden dem Steuerteil 13 zugeführt. Das von dem Steuerteil 13 abgegebene Steuersignal Vin wird der ersten variablen Verzögerungsschaltung 11 zugeführt. Infolgedessen bilden die erste variable Verzögerungsschaltung 11 und der Steuerteil 13 eine Art DLL-Einrichtung. Daher ist die Phase des Ausgangstaktsignals OUT_A scheinbar mit derjenigen des Eingangstaktsignals IN koinzident.

Der maximale variable Verzögerungswert der ersten variablen Verzögerungsschaltung 11 ist mit weniger als zwei Zyklen des Eingangstaktsignals IN vorgegeben. Daher wird das Ausgangstaktsignal OUT_A gegenüber dem Eingangstaktsignal IN um einen Zyklus (= T) verzögert, so daß die Phasen äquivalent koinzident miteinander sind. Der Verzögerungswert der zweiten variablen Verzögerungsschaltung 12 wird der halbe Zyklus T (= T/2) entsprechend der Beziehung von Gleichung 1.

Das SR-Flipflop 14 wird synchron mit der Vorderflanke des Ausgangstaktsignals OUT_A (einem Übergang von 0 zu 1) gesetzt und synchron mit der Hinterflanke des Ausgangstaktsignals OUT_B rückgesetzt. Daher steigt das Ausgangssignal des nichtinvertierenden Ausgangs Q, also das Ausgangstaktsignal OUT, synchron mit der Vorderflanke des Ausgangstaktsignals OUT_A

an und fällt (erfährt einen Übergang von 1 zu 0) synchron mit der Vorderflanke des Ausgangstaktsignals OUT_B. Als Ergebnis wird die Periode des Ausgangstaktsignals OUT, das auf einem aktiven Pegel bleibt (eine Periode von "1"), zu dem halben Zyklus T. Anders ausgedrückt, das Tastverhältnis des Ausgangstaktsignals OUT beträgt 50%.

Wie vorstehend beschrieben wird, wirkt die Signalformereinrichtung 502 als Tastverhältnis-Rückgewinnungseinrichtung, die die verschiedenen Tastverhältnisse des Eingangstaktsignals IN auf die abzugebenden 50% umformt.

Es ist vorteilhaft, wenn der Anfangswert des Verzögerungswerts der ersten variablen Verzögerungsschaltung 11 mit einem kleinsten Verzögerungswert vorgegeben ist. Anders ausgedrückt, es wird bevorzugt, daß der Anfangswert des Steuersignals Vin mit dem größten Wert vorgegeben ist; dies berücksichtigt die Sicherheit und ist nicht notwendig, wenn der größte Verzögerungswert der ersten variablen Verzögerungsschaltung 11 exakt weniger als das Doppelte des Zyklus T ist. Wenn der maximale Verzögerungswert der ersten variablen Verzögerungsschaltung 11 mehr als das Doppelte des Zyklus T aufgrund von Fertigungsfehlern und dergleichen beträgt, ist ein Punkt (ein Verzögerungswert), an dem die Phase stabil synchronisiert ist, kein Einzelpunkt. Daher besteht dann die Gefahr, daß die gewünschte Operation nicht ausgeführt wird. Auch in diesem Fall wird, wenn die Operation mit einem kleineren Verzögerungswert gestartet wird, die Phase nicht mit dem Verzögerungswert, der den Zyklus T überschreitet, synchronisiert, sondern wird stabil mit dem Verzögerungswert des Zyklus T synchronisiert.

Zu diesem Zweck genügt es, daß zusätzlich ein Einschalt-Rücksetzkreis vorgesehen und das Schleifenfilter 17 unter Nutzung eines von dem Einschalt-Rücksetzkreis erzeugten Impulses auf solche Weise vorgeladen wird, daß das Steuersignal Vin das Potential einer Netzleitung der Hochpotentialseite erreicht, wenn eine Stromquelle eingeschaltet wird. Ebenso kann das Schleifenfilter 17 unter Nutzung eines Rücksetzsignals vorgeladen werden, das von außen zugeführt wird, ohne daß der Einschalt-Rücksetzkreis vorhanden ist.

2-2. Variable Verzögerungsschaltung

Teil 1

Fig. 5 ist ein Schaltbild, das den Aufbau einer variablen Verzögerungsschaltung zeigt, die für die variablen Verzögerungsschaltungen 11 und 12 der Signalformereinrichtung 502 geeignet ist.

Die variable Verzögerungsschaltung 20 umfaßt einen Vorspannungs-Schaltungsteil 21, eine erste variable Verzögerungsschaltung 11 und eine zweite variable Verzögerungsschaltung 12. In der variablen Verzögerungsschaltung 20 sind die erste variable Verzögerungsschaltung 11 und die zweite variable Verzögerungsschaltung 12 in einer einzigen Schaltung integriert.

Der Vorspannungs-Schaltungsteil 21 hat einen NMOS-Transistor 26 und einen PMOS-Transistor 27, die zwischen einer Hochpotential-Netzleitung und einer Massepotential-Netzleitung in Reihe geschaltet sind. Die Steuerelektrode und die Drainelektrode des PMOS-Transistors 27 sind miteinander kurzgeschlossen. Das Steuersignal Vin wird der Steuerelektrode des NMOS-Transistors 26 zugeführt.

Die variable Verzögerungsschaltung 20 hat ferner ei-

ne Vielzahl von Verzögerungseinheits-Schaltkreisen, die in Kaskade geschaltet sind. Die erste variable Verzögerungsschaltung 11 ist aus einem ersten Teil von einer ersten Stufe bis zu einer bestimmten Stufe gebildet. Die zweite variable Verzögerungsschaltung 12 ist aus einem zweiten Teil gebildet, der halb so viele Verzögerungseinheits-Schaltkreise wie der erste Teil hat. Das Ausgangstaktsignal OUT_A wird an einem Verbindungsteil zwischen dem ersten und dem zweiten Teil erhalten, und das Ausgangstaktsignal OUT_B wird an einer Endstufe erhalten.

Jeder Verzögerungseinheits-Schaltkreis hat ein Nichtglied 25. Das Nichtglied 25 besteht aus NMOS- und PMOS-Transistoren, deren Drainelektroden miteinander verbunden sind und deren Steuerelektroden miteinander verbunden sind. Ein weiterer PMOS-Transistor 24 ist zwischen die Hochpotential-Netzleitung und die Sourceelektrode des PMOS-Transistors unter Bildung des Nichtglieds 25 eingefügt. Ebenso ist ein weiterer NMOS-Transistor 23 zwischen die Massepotential-Netzleitung und die Sourceelektrode des NMOS-Transistors unter Bildung des Nichtglieds 25 eingefügt.

Das Eingangstaktsignal IN wird der Steuerelektrode in der ersten Stufe des Nichtglieds 25 zugeführt. Die Nichtglieder 25 sind miteinander auf solche Weise in Kaskade geschaltet, daß die Drainelektrode der letzten Stufe mit der Steuerelektrode der nächsten Stufe verbunden ist. Sämtliche Steuerelektroden der PMOS-Transistoren 24 und 27 sind miteinander über eine Vorspannungsleitung 29 verbunden. Ebenso sind sämtliche Steuerelektroden der NMOS-Transistoren 23 und 26 über eine Vorspannungsleitung 28 miteinander verbunden.

Die variable Verzögerungsschaltung 20 arbeitet wie folgt. In dem Vorspannungsschaltungsteil 21 fließt ein Strom, dessen Wert dem des Steuersignals V_{in} entspricht, das ein Spannungssignal ist, von der Hochpotential-Netzleitung zu der Massepotential-Netzleitung. Die Steuerelektrode und die Drainelektrode des PMOS-Transistors 27 sind miteinander kurzgeschlossen. Aus diesem Grund wird der Steuerelektrode des PMOS-Transistors 27 eine Vorspannung, die gleich dem Steuersignal V_{in} ist, durch den in dem Vorspannungsschaltungsteil 21 fließenden Strom zugeführt.

Das Steuersignal V_{in} und die Vorspannung werden sämtlichen Steuerelektroden der NMOS-Transistoren 23 und PMOS-Transistoren 24 gemeinsam zugeführt. Infolgedessen fließt ein Strom, der den gleichen Wert wie der in dem Vorspannungsschaltungsteil 21 fließende Strom hat, zu jedem Verzögerungseinheits-Schaltkreis. Anders ausgedrückt, es wird der Wert des Stroms, der in sämtlichen Verzögerungseinheits-Schaltkreisen fließt, gemeinsam von dem Steuersignal V_{in} bestimmt. Der Strom, der in dem Verzögerungseinheits-Schaltkreis fließt, bildet einen Beitrag zu dem Quellenstrom des Nichtglieds 25.

Wenn der Quellenstrom größer ist, wird die Ausbreitungsverzögerungszeit des Nichtglieds 25 verringert. Wenn das Steuersignal V_{in} größer ist, wird also der Verzögerungswert des Verzögerungseinheits-Schaltkreises verringert. Der Verzögerungswert ist immer sämtlichen Verzögerungseinheits-Schaltkreisen gemeinsam, und zwar ungeachtet des Steuersignals V_{in} . Infolgedessen ist der Verzögerungswert der zweiten variablen Verzögerungsschaltung 12 immer halb so groß wie der der ersten variablen Verzögerungsschaltung 11. Anders ausgedrückt, es kann die variable Verzögerungsschaltung 20 den dem Steuersignal V_{in} entspre-

chenden Verzögerungswert erhalten, während sie gleichzeitig die Beziehung der Gleichung 1 beibehält.

In der variablen Verzögerungsschaltung 20 ist das Verhältnis der Anzahl der Verzögerungseinheits-Schaltkreise mit der gleichen Struktur 2 : 1 in der ersten variablen Verzögerungsschaltung 11 und der zweiten variablen Verzögerungsschaltung 12. Außerdem wird ein Sourcestrom, der einen gemeinsamen Wert hat, auf solche Weise zugeführt, daß die Verzögerungsdauer sämtlichen Verzögerungseinheits-Schaltkreisen gemeinsam ist. Infolgedessen kann die Beziehung der Gleichung 1 immer präzise realisiert werden. Der Vorspannungsschaltungsteil 21 ist der ersten variablen Verzögerungsschaltung 11 und der zweiten variablen Verzögerungsschaltung 12 gemeinsam. Infolgedessen wird die Anzahl von Elementen verringert.

Es ist außerdem erwünscht, daß jedes Element und jede Leitung, die die variable Verzögerungsschaltung 20 bilden, wie in Fig. 5 gezeigt angeordnet sind, so, als ob das Schaltbild von Fig. 5 ein Struktur-Layout wäre. Indem eine solche Anordnung vorgesehen wird, sind die Vorspannungsleitungen 28 und 29 ebenfalls geradlinig vorgesehen, so daß die Struktur kompakt sein kann. Gleichzeitig kann der Rauschfaktor wie etwa die Signalkopplung ebenfalls beseitigt oder verringert werden.

2-3. Variable Verzögerungsschaltung

Teil 2

Fig. 6 ist ein Schaltbild, das den Aufbau einer anderen variablen Verzögerungsschaltung zeigt, die zur Verwendung in der Signalformereinrichtung 502 geeignet ist. Eine variable Verzögerungsschaltung 30 unterscheidet sich von der variablen Verzögerungsschaltung 20 charakteristisch dadurch, daß ein Vorspannungs-Schaltungsteil 31 anders aufgebaut ist. Das heißt, in dem Vorspannungs-Schaltungsteil 31 ist eine Zweistufen-Reihenschaltung zwischen einer Hochpotential-Netzleitung und einer Massepotential-Netzleitung eingefügt.

Die Reihenschaltung der ersten Stufe hat einen PMOS-Transistor 34, einen NMOS-Transistor 33 und ein Widerstandselement 32, die in dieser Reihenfolge reihengeschaltet sind. Ein Steuersignal V_{in} wird der Steuerelektrode des NMOS-Transistors 33 zugeführt. Die Steuerelektrode und die Drainelektrode des PMOS-Transistors 34 sind miteinander kurzgeschlossen.

In der Reihenschaltung der ersten Stufe sind ein PMOS-Transistor 36 und ein NMOS-Transistor 35 in Reihe geschaltet. Die Steuerelektrode des PMOS-Transistors 36 ist mit der des PMOS-Transistors 34 verbunden. Die Steuer- und die Drainelektrode des NMOS-Transistors 35 sind miteinander kurzgeschlossen.

Die Steuerelektrode des PMOS-Transistors 36 ist mit sämtlichen Steuerelektroden von PMOS-Transistoren 24 durch eine Vorspannungsleitung 29 verbunden. Ebenso ist die Steuerelektrode des NMOS-Transistors 35 mit sämtlichen Steuerelektroden der NMOS-Transistoren 23 über eine Vorspannungsleitung 28 verbunden.

In dem Vorspannungs-Schaltungsteil 31 ist das Widerstandselement 32 als Sourcewiderstand zwischen die Massepotential-Netzleitung und den NMOS-Transistor 33 eingefügt, dem das Steuersignal V_{in} zugeführt wird. Daher fließt in dem Widerstandselement 32 ein Strom, der zu dem Steuersignal V_{in} eine lineare Beziehung hat. Der Strom der ersten Stufe spiegelt sich in der Reihenschaltung der zweiten Stufe durch eine Stromspiegel-

schaltung, die von den PMOS-Transistoren 34 und 36 gebildet ist. Außerdem spiegelt sich ein Strom, der in der Reihenschaltung der zweiten Stufe fließt, in jedem Verzögerungseinheits-Schaltkreis durch eine Stromspiegelschaltung, die von den NMOS-Transistoren 35 und 23 gebildet ist. Somit hat die variable Verzögerungsschaltung 30 eine Struktur, in der ein Strom mit dem gleichen Wert wie dem eines Stroms, der von dem Steuersignal Vin geregelt wird, zu jedem Verzögerungseinheits-Schaltkreis fließt. Außerdem ist die Beziehung zwischen dem Steuersignal Vin und dem Strom hauptsächlich durch das Widerstandselement 32 definiert. Infolgedessen ist die Linearität zwischen dem jedem Verzögerungseinheits-Schaltkreis zugeführten Strom und dem Steuersignal Vin ausgezeichnet.

Bei den oben beschriebenen Beispielen der ersten variablen Verzögerungsschaltung 11 und der zweiten variablen Verzögerungsschaltung 12 wird zwar der Verzögerungswert mit dem Anstieg des Steuersignals Vin verringert, aber es kann auch eine Struktur mit der umgekehrten Beziehung verwendet werden. In diesem Fall genügt es, daß der Steuerteil 13 das Steuersignal Vin entsprechend einer Phasendifferenz in der zu den vorgenannten Beispielen entgegengesetzten Richtung ändert. Im allgemeinen ist es ideal, wenn die erste variable Verzögerungsschaltung 11 und die zweite variable Verzögerungsschaltung 12 Verzögerungswerte haben, die sich mit dem Steuersignal Vin monoton ändern, und wenn das konstante Verhältnis des letztgenannten Verzögerungswerts zu dem vorherigen Verzögerungswert, das kleiner als Eins ist, unter diesem Steuersignal Vin gehalten wird.

3. Dritte Ausführungsform

Eine dritte Ausführungsform der Signalformereinrichtung wird nachstehend beschrieben.

3-1. Gesamteinrichtung

Fig. 7 ist ein Blockbild, das den Aufbau dieser Ausführungsform der Signalformereinrichtung zeigt. Eine Signalformereinrichtung 503 ist ebenfalls als Tastverhältnis-Rückgewinnungseinrichtung ausgebildet, um das Tastverhältnis eines Eingangstaktsignals auf 50% umzuformen, so daß es abgegeben werden kann, und eignet sich als die Signalformereinrichtung 2 der oben beschriebenen Taktsignalführvorrichtung 501. In Fig. 7 bezeichnet 41 eine erste variable Verzögerungsschaltung, 42 ist eine zweite variable Verzögerungsschaltung, 43 ist ein Steuerteil, 45 ist ein A-D-Wandler, 48 ist eine Steuersignalleitung, und Sin bezeichnet ein Steuersignal.

In der Signalformereinrichtung 503 wird ein analoges Steuersignal Vin, das von einem Schleifenfilter 17 abgegeben wird, in ein digitales Steuersignal Sin von dem A-D-Wandler 45 umgewandelt, und das digitale Steuersignal Sin wird der ersten variablen Verzögerungsschaltung 41 und der zweiten variablen Verzögerungsschaltung 42 gemeinsam zugeführt. Die erste variable Verzögerungsschaltung 41 und die zweite variable Verzögerungsschaltung 42 sind als Digitalschaltungen ausgebildet, die nur Digitalsignale verarbeiten. Die Signalformereinrichtung 503 ist insofern gleich der Signalformereinrichtung 502, als die erste variable Verzögerungsschaltung 41 und die zweite variable Verzögerungsschaltung 42 die Beziehung gemäß der Gleichung 1 zwischen ihren Verzögerungswerten beibehalten.

3-2. Variable Verzögerungsschaltung

Teil 1

Das Schaltbild von Fig. 8 zeigt die Struktur der ersten variablen Verzögerungsschaltung 41. Dabei ist die erste variable Verzögerungsschaltung 41 aus einer Kombination aus einem Selektor 47 und Nichtgliedern 46 gebildet. Ein Eingangstaktsignal IN wird der ersten Stufe der Nichtglieder 46 zugeführt (die jeweils ein Verzögerungseinheits-Element sind, und zwar bei diesem Beispiel ein CMOS-Nichtglied), die in Kaskade geschaltet sind. Jedesmal, wenn das Eingangstaktsignal IN durch das Nichtglied 46 geht, wird durch die Laufzeit des Nichtglieds 46 ein Verzögerungswert hinzuaddiert.

In dem durchgeführten Verfeinerungsprozeß hat die Laufzeit des Nichtglieds 46 einen kleinen Wert von 0,1 bis 0,2 ns.

Infolgedessen ist es möglich, eine Auflösung zu erreichen, die für die erste variable Verzögerungsschaltung 41, die in der Signalformereinrichtung 502 verwendet wird, ausreicht.

Ausgangssignale werden entnommen und als Signalfolge dem Vielfacheingang des Selektors 47 bei jeder konstanten Zahl (einer geraden Zahl 4 in dem Beispiel von Fig. 8) der in Kaskade geschalteten Nichtglieder 46 zugeführt. Bei dem in Fig. 8 gezeigten Beispiel werden diese Ausgangssignale dem Selektor 47 durch eines der Nichtglieder 46 so zugeführt, daß sie der ersten variablen Verzögerungsschaltung 41 mit derselben Logik wie der des Eingangstaktsignals IN zugeführt werden (positive und negative Vorzeichen werden nicht invertiert).

Der Selektor 47 wählt eines der Taktsignale, die an dem Vielfacheingang eingegeben werden und deren Verzögerungswerte um eine konstante Dauer, die durch das als ein Wahlsignal eingegebene Steuersignal Sin bezeichnet ist, variieren, und gibt das ausgewählte Taktsignal als ein Ausgangstaktsignal OUT A ab. Beispielsweise wird ein Taktsignal mit einem kleineren Verzögerungswert ausgewählt und abgegeben, wenn der Zahlenwert des Steuersignals Sin ansteigt. Daher enthält die erste variable Verzögerungsschaltung 41 eine Festverzögerungsschaltung, die durch die Nichtglieder 46 gebildet ist, und den Selektor 47.

Das Schaltbild von Fig. 9 zeigt die Struktur der zweiten variablen Verzögerungsschaltung 42. Ebenso wie die erste variable Verzögerungsschaltung 41 umfaßt auch die zweite variable Verzögerungsschaltung 42 eine Festverzögerungsschaltung, die aus den Nichtgliedern 46 und dem Selektor 47 gebildet ist. Ausgangssignale werden aber zum Selektor 47 nach jeder halben Anzahl (einer geraden Zahl: 2 in dem Beispiel von Fig. 9) der Nichtglieder 46 der ersten variablen Verzögerungsschaltung 41 entnommen.

Die zweite variable Verzögerungsschaltung 42 hat eine Struktur, bei der der Verzögerungswert des an dem Vielfacheingang des Selektors 47 eingegebenen Taktsignals die Hälfte desjenigen der ersten variablen Verzögerungsschaltung 41 beträgt. Daher erfüllen die Verzögerungswerte der ersten variablen Verzögerungsschaltung 41 und der zweiten variablen Verzögerungsschaltung 42 immer die Beziehung von Gleichung 1 für den Wert desselben Steuersignals Sin.

Wie oben beschrieben wird, sind die erste variable Verzögerungsschaltung 41 und die zweite variable Verzögerungsschaltung 42 der Signalformereinrichtung 503 aus Digitalschaltungen gebildet, um nur Digitalsignale zu verarbeiten. Infolgedessen wird die Beziehung der

Gleichung 1 präzise erhalten, und es kann eine sehr gute Linearität zwischen dem Verzögerungswert und dem Steuersignal V_{in} erhalten werden. Da das Digitalsignal zu verarbeiten ist, kann das Problem von Jitter bzw. Flattern, das durch überlagertes elektrisches Rauschen auf einer Vorspannungsleitung hervorgerufen wird, gelöst oder gemindert werden. Es ist somit möglich, eine Einrichtung zu realisieren, die durch elektrische Störungen praktisch nicht beeinflusst wird.

Bei dem Herstellungsverfahren kann eine Standard-Zellenbibliothek, die gewöhnlich für die Digitalschaltung präpariert wird, effektiv genutzt werden. Daher kann der Herstellungsprozeß vereinfacht werden.

3-3. Variable Verzögerungsschaltung

Teil 2

Die Schaltbilder der Fig. 10 und 11 zeigen andere Beispiele der Strukturen der ersten bzw. zweiten variablen Verzögerungsschaltungen. Eine erste und eine zweite variable Verzögerungsschaltung 51 und 52 werden ebenfalls durch eine Kombination aus Nichtgliedern 46 und einem Selektor 53 gebildet. Die erste und die zweite variable Verzögerungsschaltung 51 und 52 unterscheiden sich von der ersten und der zweiten variablen Verzögerungsschaltung 41 und 52 charakteristisch dadurch, daß die Beziehung in der variablen Verzögerungsschaltung 52 zwischen dem Selektor 53 und den Nichtgliedern, die in Kaskade geschaltet sind, identisch mit derjenigen in der variablen Verzögerungsschaltung 51 ist.

Alle Bitsignale, die ein Steuersignal S_{in} als Wählsignal bilden, werden in den Selektor 53 der ersten variablen Verzögerungsschaltung 51 eingegeben. Andererseits wird das höchstwertige Bit des Steuersignals S_{in} nicht dem Selektor 53 der zweiten variablen Verzögerungsschaltung 52 zugeführt, aber der Rest wird um 1 Bit verschoben und ihr zugeführt. Das niederwertigste Bit des Steuersignals S_{in} wird nicht genutzt, sondern verworfen.

Die Bedingung ist, daß das Steuersignal S_{in} von einem A-D-Wandler 45 in Übereinstimmung mit Binärzahlen abgegeben und als ein paralleles Signal in die erste und die zweite variable Verzögerungsschaltung 51 und 52 eingeführt wird. Somit entspricht das Wählsignal, das in den Selektor 53 der zweiten variablen Verzögerungsschaltung 52 eingegeben wird, einem Wert, der erhalten wird, indem das in den Selektor 53 der ersten variablen Verzögerungsschaltung 51 eingegebene Wählsignal um 1 Bit verschoben wird, d. h. einem Wert, der durch Division des Werts des Wählsignals durch 2 erhalten ist. Infolgedessen ist der Verzögerungswert der zweiten variablen Verzögerungsschaltung 52 immer die Hälfte desjenigen der ersten variablen Verzögerungsschaltung 51.

Die erste und die zweite variable Verzögerungsschaltung 51 und 52 haben genau die gleiche Struktur mit Ausnahme der Verbindungsbeziehung zwischen einem Wählsignaleingang und einer Steuersignalleitung 48 (Fig. 7) zur Abgabe des Steuersignals S_{in} . Somit kann das Herstellungsverfahren einer Einrichtung weiter vereinfacht werden. Insbesondere kann die Effizienz in der Layout-Phase des Herstellungsverfahrens, also die Layout-Effizienz, verbessert werden.

4. Vierte Ausführungsform

Das Blockschaltbild von Fig. 12 zeigt ein Beispiel, bei dem der Steuerteil 43 der Signalformereinrichtung 503 aus einer digitalen Schaltung besteht, die nur eine Digitalsignalverarbeitung ausführt. In Fig. 12 bezeichnet 55 ein D-Speicherelement, 56 ist ein erster Zähler, 57 ist ein zweiter Zähler, und 58 ist ein Nichtglied.

In dem Steuerteil 43 wird anstelle des Phasenvergleichers 15, der in der Signalformereinrichtung 502 vorgesehen ist, der einfache D-Signalspeicher 55 verwendet. Der D-Signalspeicher 55 speichert den Wert eines Ausgangstaktsignals OUT_A , das einem Dateneingang zugeführt wird, synchron mit einem Eingangstaktsignal IN , das einem Taktsignaleingang zugeführt wird.

Die Fig. 13 und 14 sind Impulsdiagramme zur Erläuterung der Operation des D-Signalspeichers 55. Wenn in Fig. 13 der Verzögerungswert des Ausgangstaktsignals OUT_A für das Eingangstaktsignal IN um eine Dauer t_4 kleiner als ein Zyklus T ist, d. h. kleiner als der Zyklus T ist, wird das Ausgangssignal eines nichtinvertierenden Q-Ausgangs des D-Signalspeichers 55 synchron mit der Vorderflanke des Eingangstaktsignals IN auf einen Wert "1" gesetzt, und zwar unabhängig von dem letzten Wert. Es ist ersichtlich, daß das Ausgangssignal eines invertierenden Ausgangs Q^* ebenfalls gleichzeitig auf einen Wert "0" gesetzt wird.

Wenn, wie Fig. 14 zeigt, der Verzögerungswert um die Dauer t_4 größer als der Zyklus T ist, d. h. wenn er den Zyklus T überschreitet, wird das Ausgangssignal des nichtinvertierenden Ausgangs Q synchron mit der Vorderflanke des Eingangstaktsignals IN ungeachtet des letzten Werts auf einen Wert "0" gesetzt. Wenn also der Verzögerungswert den Zyklus T nicht erreicht, gibt der nichtinvertierende Ausgang Q kontinuierlich einen Wert "1" ab. Wenn der Verzögerungswert den Zyklus T überschreitet, gibt der nichtinvertierende Ausgang Q kontinuierlich den Wert "0" ab.

Gemäß Fig. 12 sind der erste und der zweite Zähler 56 und 57 als Zweirichtungszähler oder Vorwärts-Rückwärts-Zähler ausgebildet. Der erste Zähler 56 ist mit dem D-Signalspeicher 55 durch das Nichtglied 58 verbunden, um eine logische Einstellung derart vorzunehmen, daß ein Aufwärtseingang UP und ein Abwärtseingang DWN aktiv werden, wenn der nichtinvertierende Ausgang Q und der invertierende Ausgang Q^* des D-Signalspeichers 55 aktiv sind ("1" für den ersteren und "0" für den letzteren).

Der erste Zähler 56 führt kontinuierlich eine Aufwärtszählung synchron mit dem dem Taktsignaleingang zugeführten Eingangstaktsignal IN während einer Periode durch, in der der Aufwärtseingang UP aktiv ist. Ein aktiver Wert (beispielsweise der Wert "1") wird an einem Überlaufausgang OVR bei jedem Überlaufen abgegeben.

Dagegen führt der zweite Zähler 57 kontinuierlich eine Abwärtszählung synchron mit dem dem Taktsignaleingang zugeführten Eingangstaktsignal IN während einer Periode durch, in der der Abwärtseingang DWN aktiv ist. Ein aktiver Wert wird bei jedem Unterlaufen an einem Unterlaufausgang UND abgegeben. Anders ausgedrückt führt der erste Zähler 56 kontinuierlich die Aufwärtszählung durch, wenn der Verzögerungswert der ersten variablen Verzögerungsschaltung 41 kleiner als der Zyklus T ist, und der erste Zähler 56 führt kontinuierlich die Abwärtszählung durch, wenn der Verzögerungswert der ersten variablen Verzögerungsschaltung 41 den Zyklus T überschreitet. Bei jeder

konstanten Periode, die einem konstanten Vielfachen des Zyklus T entspricht, wird an dem Überlaufausgang OVR oder dem Unterlaufausgang UND ein aktives Signal abgegeben.

Der zweite Zähler 57 ist mit dem ersten Zähler 56 über das Nichtglied 58 für eine logische Einstellung derart verbunden, daß ein Aufwärtseingang UP und ein Abwärtseingang DWN aktiv werden, wenn der Überlaufausgang OVR und der Unterlaufausgang UND des ersten Zählers 56 aktiv sind. Das Eingangstaktsignal IN wird dem Taktsignaleingang des zweiten Zählers 57 zugeführt. Der gezählte numerische Wert wird als Steuersignal Sin zu der ersten variablen Verzögerungsschaltung 41 und der zweiten variablen Verzögerungsschaltung 42 geleitet (Fig. 7).

Somit wird der Wert des Steuersignals Sin um "1" synchron mit dem Eingangstaktsignal IN jedesmal erhöht, wenn der erste Zähler 56 überläuft, und der Wert des Steuersignals Sin wird synchron mit dem Eingangstaktsignal IN jedesmal um "1" verringert, wenn der erste Zähler 56 unterläuft oder ausläuft. Während der Verzögerungswert der ersten variablen Verzögerungsschaltung 41 den Zyklus T nicht erreicht, wird das Steuersignal Sin bei jeder konstanten Periode kontinuierlich um "1" erhöht. Während der Verzögerungswert den Zyklus T überschreitet und zu groß ist, wird das Steuersignal Sin bei jeder konstanten Periode kontinuierlich um "1" verringert. Wie oben beschrieben wird, hat die in Fig. 12 gezeigte Einrichtung dieselbe Funktion wie der Steuerteil 43 der Signalformereinrichtung 503 (Fig. 7).

Wenn diese Einrichtung als Steuerteil 43 verwendet wird, sind die erste variable Verzögerungsschaltung 41 und die zweite variable Verzögerungsschaltung 42 auf solche Weise gebildet, daß ihre Verzögerungswerte größer werden, wenn das Steuersignal Sin größer wird, was leicht dadurch erreichbar ist, daß die Beziehung zwischen dem Selektor 47 und dem Nichtglied 46 so vorgegeben wird, daß ein Taktsignal gewählt wird, das einen kleineren Verzögerungswert hat, wenn das Steuersignal Sin beispielsweise in den Fig. 8 und 9 größer ist.

In Fig. 12 kann das in den D-Signalspeicher 55 eingegebene Eingangstaktsignal IN durch das Ausgangstaktsignal OUT_A ersetzt werden. Wenn andere Einrichtungsteile nicht geändert werden, wird das Steuersignal Sin höher, wenn der Verzögerungswert der ersten variablen Verzögerungsschaltung 41 zu groß ist, und das Steuersignal Sin wird geringer, wenn der Verzögerungswert der ersten variablen Verzögerungsschaltung 41 ungenügend ist. In diesem Fall ist es ideal, daß die Beziehung zwischen dem Selektor 47 und dem Nichtglied 46 derart vorgegeben ist, daß ein Taktsignal mit einem größeren Verzögerungswert gewählt wird, wenn das Steuersignal Sin beispielsweise in den Fig. 8 und 9 größer ist.

Es ist auch möglich, die Beziehung zwischen dem Verzögerungswert und der Änderungsrichtung des Steuersignals Sin frei vorzugeben, indem die Anzahl (einschließlich des Werts "0") der Nichtglieder 58, die die Logik einstellen, zwischen dem D-Signalspeicher 55 und dem ersten Zähler 56 geregelt wird.

Bei der in Fig. 12 gezeigten Einrichtung sind alle Elemente des Steuerteils 43 (Fig. 7) einschließlich eines Schleifenfilters 17, das aus einem Analogkreis besteht und eine vergleichsweise große Layoutfläche hat, durch digitale Schaltkreise ersetzt. Infolgedessen bietet die in Fig. 12 gezeigte Einrichtung den Vorteil, daß die Layoutfläche verringert sein kann, um die Einrichtung klein zu machen. Gleichzeitig wird die in Fig. 12 gezeigte Einrichtung von elektrischem Rauschen kaum beeinflusst,

weil das Digitalsignal zu verarbeiten ist.

5. Fünfte Ausführungsform

Das Schaltbild von Fig. 15 zeigt die Struktur eines SR-Flipflops, das als SR-Flipflop 14 der Signalformereinrichtungen 502 und 503 geeignet ist. In Fig. 15 bezeichnet 60 ein SR-Flipflop gemäß der vorliegenden Ausführungsform, 61, 65, 66 und 67 sind Nichtglieder, 62 ist ein NAND-Glied, 63 ist ein NMOS-Transistor, 64 ist ein PMOS-Transistor, GN bezeichnet eine Steuerspannung, die in die Steuerelektrode des NMOS-Transistors 63 eingeführt wird, und GP bezeichnet eine Steuerspannung, die in die Steuerelektrode des PMOS-Transistors 64 eingeführt wird.

Das Nichtglied 66 ist so eingestellt, daß es eine kleinere Treibkraft (d. h. einen höheren Ausgangswiderstand) als die MOS-Transistoren 63 und 64 hat. Anders ausgedrückt, es haben die Ausgangssignale der MOS-Transistoren 63 und 64 Vorrang vor dem Ausgangssignal des Nichtglieds 66. In dem SR-Flipflop 60 sind die Steuerelektroden der MOS-Transistoren 63 und 64, die in Reihe zwischen eine Hochpotential-Netzleitung und eine Massepotential-Netzleitung geschaltet sind, mit einem Setzeingang SET bzw. einem Rücksetzeingang RST durch einen Monoimpulserzeugungskreis verbunden, der aus dem Nichtglied 61 und dem NAND-Glied 62 gebildet ist. Der Verbindungsbereich der MOS-Transistoren 63 und 64 ist mit den Nichtgliedern 65 und 66, die einen Speicher bilden, verbunden. Ein in dem Speicher gehaltenes Signal wird durch das Nichtglied 67 an einen nichtinvertierenden Ausgang Q abgegeben.

Fig. 16 ist ein Impulsdiagramm zur Erläuterung des Betriebs der Signalformereinrichtung 502, in der das SR-Flipflop 60 als das SR-Flipflop 14 integriert ist. Fig. 16 zeigt den Betrieb, der durchgeführt wird, wenn die in der Signalformereinrichtung 502 vorgesehene erste variable Verzögerungsschaltung 11 im stabilen Synchronisierzustand ist.

Wenn, wie Fig. 16 zeigt, das Tastverhältnis eines Eingangstaktsignals IN 50% überschreitet, haben sowohl der Setzeingang SET als auch der Rücksetzeingang RST des SR-Flipflops 14 einen Wert "1" über eine Periode d für jeden Zyklus T . Ebenso gibt es einen Fall, in dem der Wert "1" gleichzeitig an zwei Eingängen des SR-Flipflops 14 für eine Übergangsperiode eingegeben wird, um den stabilen Synchronisierzustand zu verschieben, obwohl das Tastverhältnis des Eingangstaktsignals IN kleiner als 50% ist.

In einem solchen Fall ist das Ausgangssignal eines gewöhnlichen SR-Flipflops undefiniert. Daher eignet sich das gewöhnliche SR-Flipflop nicht als SR-Flipflop 14 der Signalformereinrichtung 502. Daher wird als SR-Flipflop 14 der Signalformereinrichtung 502 ein SR-Flipflop mit Rücksetzpriorität verwendet, wie in der zweiten Ausführungsform beschrieben wird. Andererseits löst das SR-Flipflop 60 gemäß der vorliegenden Ausführungsform die Probleme, die dadurch bedingt sind, daß zwei Eingänge einen Wert "1" haben, indem ein Monoimpuls-Schaltkreis zusätzlich vorgesehen wird. Infolgedessen eignet sich das SR-Flipflop 60 als SR-Flipflop 14.

Wie Fig. 16 zeigt, wird in die Steuerelektrode des PMOS-Transistors 64 synchron mit der Vorderflanke des Ausgangstaktsignals OUT_A, das dem Setzeingang SET zugeführt ist, ein Monoimpuls mit einem Wert "0" eingegeben. Durch den Monoimpuls, der eine Gate-Spannung GP hat, wird der PMOS-Transistor 64 für

einen Moment eingeschaltet. Infolgedessen wird der in dem Speicher, der durch die Nichtglieder 65 und 66 gebildet ist, gehaltene Wert aktualisiert, und ein Wert "1" wird von dem nichtinvertierenden Ausgang Q gehalten.

Ein Ausgangstaktsignal OUT_B, das dem Rücksetzeingang RST zugeführt ist, steigt bei T/2 seit der Vorderflanke des Eingangstaktsignals IN an. Ein Monoimpuls mit einem Wert "1" wird in die Steuerelektrode des NMOS-Transistors 63 synchron mit der Vorderflanke des Ausgangstaktsignals OUT_B eingegeben. Dadurch, daß der Monoimpuls eine Gatespannung GN hat, wird der NMOS-Transistor 63 für einen Moment eingeschaltet. Infolgedessen wird der von dem Speicher, der aus den Nichtgliedern 65 und 66 gebildet ist, gehaltene Wert aktualisiert, und ein Wert "0" wird von dem nichtinvertierenden Ausgang Q gehalten. Anschließend wird dieselbe Operation wiederholt. Als Resultat werden die Werte "1" und "0" alternierend an den nichtinvertierenden Ausgang Q jedesmal bei T/2 abgegeben. Somit ist das SR-Flipflop 60 ohne Behinderung wirksam, obwohl der Wert "1" gleichzeitig an den beiden Eingängen anliegt. Infolgedessen eignet sich das SR-Flipflop 60 als das SR-Flipflop 14 der Signalformereinrichtung 502. Ferner hat das SR-Flipflop 60 auch die Vorteile, daß die Anzahl von Elementen vergleichsweise klein ist und der Betrieb mit höherer Geschwindigkeit abläuft.

6. Sechste Ausführungsform

Das Schaltbild von Fig. 17 zeigt die Struktur eines anderen SR-Flipflops, das als SR-Flipflop 14 der Signalformereinrichtungen 502 und 503 geeignet ist. Dabei bezeichnet 70 ein SR-Flipflop gemäß der vorliegenden Ausführungsform, 71, 76, 77 und 78 sind Nichtglieder, 72 und 73 sind NMOS-Transistoren, und 74 und 75 sind PMOS-Transistoren. Das Nichtglied 77 ist so eingestellt, daß es eine kleinere Treibkraft als die MOS-Transistoren 72 bis 75 hat.

In dem SR-Flipflop 70 sind die MOS-Transistoren 75 bis 72 zwischen eine Hochpotential-Netzleitung und eine Massepotential-Netzleitung in der genannten Reihenfolge in Reihe geschaltet. Ein Setzeingang SET ist mit der Steuerelektrode des PMOS-Transistors 75 durch das Nichtglied 71 verbunden, und ein Rücksetzeingang RST ist mit der Steuerelektrode des NMOS-Transistors verbunden.

Der Verbindungsbereich der MOS-Transistoren 73 und 74 ist mit den Nichtgliedern 76 und 77 verbunden, die einen Speicher bilden. Ein in dem Speicher gehaltenes Signal wird durch das Nichtglied 78 an einen nichtinvertierenden Ausgang Q abgegeben. Ferner wird das Ausgangssignal des nichtinvertierenden Ausgangs Q zu den Steuerelektroden der MOS-Transistoren 73 und 74 gemeinsam zurückgeführt.

Das SR-Flipflop 70 ist auf die folgende Weise wirksam. Es wird angenommen, daß der nichtinvertierende Ausgang Q zu Beginn einen Wert "0" hat. Zu diesem Zeitpunkt ist der mit dem nichtinvertierenden Ausgang Q verbundene PMOS-Transistor 74 eingeschaltet, und der NMOS-Transistor 73 ist ausgeschaltet. Zum gleichen Zeitpunkt, zu dem ein Impuls mit einem Wert "1" an den Setzeingang SET geführt wird, ändert sich das Signal des Verbindungsbereichs der MOS-Transistoren 73 und 74, d. h. ein dem Speicher zugeführtes Signal, auf den Wert "1". Infolgedessen wird der Wert des nichtinvertierenden Ausgangs Q ebenfalls in "1" geändert.

Nachdem der Wert des nichtinvertierenden Ausgangs

Q auf "1" gesetzt ist, wird der PMOS-Transistor 74 ausgeschaltet, und der NMOS-Transistor 73 wird eingeschaltet. Infolgedessen wird der Wert des nichtinvertierenden Ausgangs Q nicht geändert, obwohl ein Impuls mit dem Wert "1" dann dem Setzeingang SET zugeführt wird. In diesem Fall wird, wenn der Impuls mit dem Wert "1" dem Rücksetzeingang RST zugeführt wird, der NMOS-Transistor 72 eingeschaltet, so daß ein in dem Speicher gehaltener Wert invertiert wird. Infolgedessen wird der Wert des nichtinvertierenden Ausgangs Q ebenfalls auf "0" invertiert.

Nachdem der Wert des nichtinvertierenden Ausgangs Q auf "0" gesetzt ist, wird der PMOS-Transistor 74 eingeschaltet, und der NMOS-Transistor 73 wird ausgeschaltet. Infolgedessen wird der Wert des nichtinvertierenden Ausgangs Q nicht geändert, obwohl der Impuls mit dem Wert "1" dann dem Rücksetzeingang RST zugeführt wird. Wie oben beschrieben, wirkt das SR-Flipflop 70 als SR-Flipflop, das bei der Vorderflanke eines dem Setzeingang SET zugeführten Impulses gesetzt und bei der Vorderflanke eines dem Rücksetzeingang RST zugeführten Impulses rückgesetzt wird.

Wenn der Wert "1" gleichzeitig dem Setzeingang SET und dem Rücksetzeingang RST zugeführt wird, wird der Wert des nichtinvertierenden Ausgangs Q logisch umgekehrt und dem Eingang des Speichers zugeführt. Infolgedessen wird die Schwingung mit Werten "1", "0", "1", "0", ... in einem Zyklus durchgeführt, der ungefähr das Doppelte der Verzögerungsdauer für drei Elemente beträgt, die in eine Rückführungsschleife eingefügt sind. Zu diesem Zeitpunkt arbeitet das SR-Flipflop 70 wie eine Art von asynchronem T-Flipflop. Anders ausgedrückt, es ist das SR-Flipflop 70 eine Form eines asynchronen Vielzweck-JK-Flipflops.

Das SR-Flipflop 70 kann zu einem SR-Flipflop mit Rücksetzpriorität geändert werden, indem ein Element hinzugefügt wird. Fig. 18 zeigt ein Beispiel dafür. Bei einem in Fig. 18 gezeigten SR-Flipflop 80 ist das Nichtglied 71 des SR-Flipflops 70 durch ein NAND-Glied 82 ersetzt, und ein Rücksetzeingang RST ist mit einem von zwei Eingängen des NAND-Glieds 82 durch ein Nichtglied 81 verbunden. Der Ausgang des Nichtglieds 81, das mit dem Rücksetzeingang RST verbunden ist, ist mit der Steuerelektrode eines NMOS-Transistors 83 durch ein weiteres Nichtglied 81 verbunden.

Es ist daher möglich, das SR-Flipflop mit Rücksetzpriorität zu erhalten, indem dem SR-Flipflop 70 ein einfaches Logikglied hinzugefügt wird.

7. Siebte Ausführungsform

Das Blockbild von Fig. 19 zeigt die Struktur einer Signalformereinrichtung gemäß der siebten Ausführungsform. Die Signalformereinrichtung 504 hat einen Monoimpuls-Schaltkreis 90, der zwischen einen Eingang zum Empfang eines Eingangstaktsignals IN und eine Signalformereinrichtung 502 eingefügt ist.

Der Monoimpuls-Schaltkreis 90 ist aus einer Kombination von Nichtgliedern 91 und 93 und einem NAND-Glied 92 gebildet, wie Fig. 19 zeigt. Anders ausgedrückt, es hat der Monoimpuls-Schaltkreis 90 die gleiche Struktur wie der Monoimpuls-Schaltkreis von Fig. 15. Durch die Operation des Monoimpuls-Schaltkreises 90 ist ein Eingangssignal IS, das einer ersten variablen Verzögerungsschaltung 11 und einem Phasenvergleichs 15 zugeführt wird, nicht das Eingangstaktsignal IN selbst, sondern ein Monoimpuls, der synchron mit dem Eingangstaktsignal IN abgegeben wird und ein ausreichend

kleines Tastverhältnis hat.

Fig. 20 ist ein Impulsdiagramm zur Erläuterung des Betriebs der Signalformereinrichtung 504. Das Eingangssignal IS wird zu einem Monoimpuls geändert, der synchron mit der Vorderflanke des Eingangstaktsignals IN ansteigt und ungeachtet des Tastverhältnisses des Eingangstaktsignals IN ein kleines Tastverhältnis hat. Infolgedessen wird durch Verzögerung des Eingangssignals IS ein Ausgangstaktsignal OUT_A erhalten.

Ebenso wird ein Ausgangstaktsignal OUT_B erhalten, indem das Ausgangstaktsignal OUT_A weiter verzögert wird. Fig. 20 zeigt den stabilen Synchronisierzustand. Infolgedessen wird das Ausgangssignal OUT_A gegenüber dem Eingangssignal IS um einen Takt T verzögert, und das Ausgangstaktsignal OUT_B wird um weitere T/2 verzögert. Da die Ausgangstaktsignale OUT_A und OUT_B dieselbe Wellenform wie das Eingangssignal IS behalten, sind ihre Tastverhältnisse ausreichend klein.

Dementsprechend werden nachteilige Auswirkungen, die sich dadurch ergeben, daß ein Setzeingang SET und ein Rücksetzeingang RST eines SR-Flipflops 15 mit einem Wert "1" vorgegeben sind, beseitigt. Anders ausgedrückt, es ist also möglich, ein gewöhnliches und billiges SR-Flipflop als SR-Flipflop 14 zu verwenden, ohne daß ein SR-Flipflop mit Rücksetzpriorität verwendet wird.

In einem Fall, in dem zwei Eingänge des SR-Flipflops 14 der Signalformereinrichtung 502 nicht hoch-aktiv sind (sie sind bei der Vorderflanke mit einem Wert "1" wirksam), sondern niedrig-aktiv sind, genügt es, daß der Monoimpuls-Schaltkreis einen Monoimpuls abgibt, der durch Invertieren des logischen Zustands des Eingangstaktsignals IN erhalten wird. Beispielsweise ist es ideal, daß anstelle des Nichtglieds 93 in Fig. 19 ein Zweistufen-Nichtglied eingefügt wird.

8. Achte Ausführungsform

Das Blockbild von Fig. 21 zeigt die Struktur einer achten Ausführungsform der Signalformereinrichtung. Eine Signalformereinrichtung 505 ist als Tastverhältnis-Rückgewinnungseinrichtung ausgebildet und hat einen Aufbau, bei dem ein Ausgangstaktsignal OUT mit einem Tastverhältnis von 50% erhalten werden kann, ohne daß das SR-Flipflop 14 verwendet wird.

In Fig. 21 bezeichnet 96 eine zweite variable Verzögerungsschaltung vom Vielfachausgangstyp, n_0, n_1, \dots, n_k bezeichnen eine Vielzahl von Ausgangssignalen der zweiten variablen Verzögerungsschaltung 96, und 97 bezeichnet ein ODER-Glied von einem Vielfacheingangstyp. In der Signalformereinrichtung 505 ist die zweite variable Verzögerungsschaltung 12 der Signalformereinrichtung 504 durch die zweite variable Verzögerungsschaltung 96 ersetzt. Außerdem ist das SR-Flipflop 14 durch das ODER-Glied 97 ersetzt. Die Ausgangssignale n_0, n_1, \dots, n_k der zweiten variablen Verzögerungsschaltung 96 werden an den Vielfacheingang des ODER-Glieds 97 geführt. Das Ausgangssignal des ODER-Glieds 97 wird nach außen als ein Ausgangstaktsignal OUT abgegeben.

Das Schaltbild von Fig. 22 zeigt die Struktur der zweiten variablen Verzögerungsschaltung 96. Die zweite variable Verzögerungsschaltung 96 ist mit vielen Verzögerungseinheits-Schaltelementen 98 versehen, die in Kaskade geschaltet sind. Ein Ausgangstaktsignal OUT_A wird in den Verzögerungseinheits-Schaltkreis 98 einer ersten Stufe eingegeben. Das Ausgangstaktsignal OUT_A wird als das Ausgangssignal n_0 abgegeben,

und die Ausgangssignale der von der nächsten Stufe bis zu einer Endstufe vorgesehenen Verzögerungseinheits-Schaltkreise 98 werden als Ausgangssignale n_1, n_2, \dots, n_k abgegeben. Der Verzögerungswert des Ausgangssignals n_k der Endstufe für das Ausgangstaktsignal OUT_A ist mit der Hälfte desjenigen einer ersten variablen Verzögerungsschaltung 11 vorgegeben.

Das Schaltbild von Fig. 23 zeigt die Struktur des Verzögerungseinheits-Schaltkreises 98. Einer der Verzögerungseinheits-Schaltkreise der variablen Verzögerungsschaltung 20 (Fig. 5) ist mit einem Vorspannungs-Schaltungsteil 21 in dem Verzögerungseinheits-Schaltkreis 98 kombiniert. Ferner ist ein Nichtglied 99 mit der Ausgangsseite verbunden, um den logischen Zustand eines Eingangssignals (z. B. n_0) zu veranlassen, mit demjenigen eines Ausgangssignals (z. B. n_1) koinzident zu sein.

Fig. 24 ist ein Impulsdiagramm zur Erläuterung des Betriebs der Signalformereinrichtung 505. Fig. 24 zeigt die Signalwellenform jedes Teils, die erhalten wird, wenn sich die erste variable Verzögerungsschaltung 11 im stabilen Synchronisierzustand befindet. Durch die Operation eines Monoimpuls-Schaltkreises 90 wird ein Eingangssignal IS, das synchron mit dem Eingangstaktsignal IN ansteigt und eine ausreichend kleine Impulsdauer w hat, in die erste variable Verzögerungsschaltung 11 und einen Phasenvergleichler 15 eingegeben. Da die erste variable Verzögerungsschaltung 11 sich im Synchronisierzustand befindet, ist die Phase des Ausgangstaktsignals OUT_A scheinbar (äquivalent) mit derjenigen des Eingangssignals IS koinzident.

Die Ausgangssignale n_1, n_2, \dots, n_k der zweiten variablen Verzögerungsschaltung 96 werden nacheinander um eine konstante Dauer verzögert. Es ist erwünscht, daß die Impulsdauer w möglichst klein vorgegeben ist. Tatsächlich ist die Impulsdauer w auf den Bereich eingestellt, in dem der Verzögerungswert des Verzögerungseinheits-Schaltkreises einer Stufe immer kleiner als die Impulsdauer w einschließlich der vor der Synchronisation durchgeführten Übergangsoperation ist. Daher hat das Ausgangstaktsignal OUT, das als ODER-Verknüpfung der Ausgangssignale n_1, n_2, \dots, n_k erhalten wird, einen Wert "1" von der Vorderflanke des Ausgangstaktsignals OUT_A bis zu der Hinterflanke des Ausgangssignals n_k der Endstufe.

Da der Verzögerungswert des Ausgangssignals n_k der Endstufe mit dem halben Wert der ersten variablen Verzögerungsschaltung 11 vorgegeben ist, ist der Verzögerungswert des Ausgangssignals n_k der Endstufe T/2 in dem Zustand, in dem die erste variable Verzögerungsschaltung 11 synchronisiert ist. Daher hat das Ausgangstaktsignal OUT einen Wert "1" über eine Periode T/2. Anders ausgedrückt hat das Ausgangstaktsignal OUT ein Tastverhältnis von 50%.

Wenn die Impulsdauer w nicht viel kleiner als der Zyklus T ist, wird das Tastverhältnis je nach der Impulsdauer w etwas gegenüber 50% verschoben. Die Anzahl von Ausgangssignalen n_1, n_2, \dots, n_k ist jedoch sehr groß vorgegeben. Daher kann die Impulsdauer w auch kleiner vorgegeben werden. Somit kann die Verschiebung des Tastverhältnisses des Ausgangstaktsignals OUT bei normalem Gebrauch ignoriert werden.

Zum Ausgleich der leichten Verschiebung genügt es, daß die Beziehung zwischen der Impulsdauer w des Monoimpuls-Schaltkreises 90 und der Anzahl von Stufen der Verzögerungseinheits-Schaltkreise der zweiten variablen Verzögerungsschaltung 96 so eingestellt wird, daß der Verzögerungswert des Ausgangssignals n_k für das Ausgangstaktsignal OUT_A, das während der Syn-

chronisation erhalten wird, gleich $(T/2 - w)$ ist.

9. Neunte Ausführungsform

Das Blockbild von Fig. 25 zeigt die Struktur der neunten Ausführungsform der Signalformereinrichtung. Eine Signalformereinrichtung 506 ist ebenfalls als Tastverhältnis-Rückgewinnungseinrichtung ausgebildet. Charakteristisch unterscheidet sich die Signalformereinrichtung 506 von der Signalformereinrichtung 502 (Fig. 1) dadurch, daß ein Eingangstaktsignal IN direkt anstelle eines Ausgangstaktsignals OUT_A in eine zweite variable Verzögerungsschaltung 12 eingegeben wird.

Das Impulsdigramm von Fig. 26 erläutert den Betrieb der Signalformereinrichtung 506 als ein Beispiel, bei dem eine erste variable Verzögerungsschaltung 11 synchronisiert ist. Da die erste variable Verzögerungsschaltung 11 synchronisiert ist, wird das Ausgangstaktsignal OUT_A gegenüber dem Eingangstaktsignal IN um einen Zyklus T verzögert. Ein Ausgangstaktsignal OUT_B wird gegenüber dem Eingangstaktsignal IN um die halbe Verzögerungsdauer der ersten variablen Verzögerungsschaltung 11, also $T/2$, verzögert.

In einem SR-Flipflop 14 steigt der Wert eines Rücksetzeingangs RST nach $T/2$ an, da der Wert eines Setzeingangs SET angestiegen ist. Daher wird ein Taktsignal mit einem Tastverhältnis von 50% als ein Ausgangstaktsignal OUT von einem nichtinvertierenden Ausgang Q des SR-Flipflops 14 abgegeben.

Wie oben beschrieben, wirkt die Signalformereinrichtung 506 als Tastverhältnis-Rückgewinnungseinrichtung auf die gleiche Weise wie die Signalformereinrichtung 502. Zusätzlich wird die Verzögerung des Ausgangstaktsignals OUT gegenüber dem Eingangstaktsignal IN nur in dem SR-Flipflop 14 erzeugt. Daher bietet die Signalformereinrichtung 506 den Vorteil, daß der Verzögerungswert kleiner als derjenige der Signalformereinrichtung 502 ist, deren Verzögerungswert den Zyklus T überschreitet.

In einem Fall, in dem die Zuführung des Eingangstaktsignals IN von außen unterbrochen wird, um den Stromverbrauch zu verringern, kann also die Einrichtung sofort angehalten werden. In der Signalformereinrichtung 506 dienen ein Steuerteil 13 und die erste variable Verzögerungsschaltung 11 dazu, den Zyklus T des Eingangstaktsignals IN zu messen.

10. Zehnte Ausführungsform

In jeder Signalformereinrichtung, die wie oben beschrieben als Tastverhältnis-Rückgewinnungseinrichtung ausgebildet ist, ist der Verzögerungswert der zweiten variablen Verzögerungsschaltung mit der Hälfte desjenigen der ersten variablen Verzögerungsschaltung vorgegeben. Infolgedessen wird das Taktsignal, das ein Tastverhältnis von 50% hat, als das Ausgangstaktsignal OUT ungeachtet des Tastverhältnisses des Eingangstaktsignals IN erhalten. Wenn bei diesen Tastverhältnis-Rückgewinnungseinrichtungen der Verzögerungswert der zweiten variablen Verzögerungsschaltung mit 60% desjenigen der ersten variablen Verzögerungsschaltung vorgegeben ist, wird ein Ausgangstaktsignal OUT mit einem Tastverhältnis von 60% erhalten.

Beispielsweise kann der Verzögerungswert ohne weiteres eingestellt werden, indem die Anzahl der Verzögerungseinheits-Schaltkreise in der variablen Verzögerungsschaltung 20 (Fig. 5) reguliert wird. In den Beispielen der variablen Verzögerungsschaltungen 41 und 42

(Fig. 8 und 9) kann der Verzögerungswert eingestellt werden, indem das Verhältnis der Anzahl der Nichtglieder 46 reguliert wird. Bei den Beispielen der variablen Verzögerungsschaltungen 51 und 52 (Fig. 10 und 11) genügt es, daß für die Beziehung zwischen dem Wählsignal des Selektors 53 und dem Steuersignal Sin beispielsweise ein Bitverschiebungswert verstellt wird.

In einem Fall, in dem die Objekteinrichtung 5 (Fig. 2) mit einem Taktsignal-Taktverhältnis optimiert ist, das nicht 50% ist, kann die Betriebsgeschwindigkeit der Objekteinrichtung 5 auf ein Maximum erhöht werden, indem das Tastverhältnis des Ausgangstaktsignals OUT auf einen optimalen Wert eingestellt wird. Die in den Ausführungsbeispielen beschriebenen Signalformereinrichtungen bieten den Vorteil, daß das Verhältnis des Verzögerungswerts der ersten variablen Verzögerungsschaltung zu dem der zweiten variablen Verzögerungsschaltung leicht auf Werte einstellbar ist, die von 50% verschieden sind, und daß das Betriebsverhalten der Objekteinrichtung 5 maximiert werden kann.

11. Elfte Ausführungsform

Nachstehend wird eine elfte Ausführungsform der Signalformereinrichtung beschrieben.

11-1. Gesamteinrichtung

Das Blockbild von Fig. 27 zeigt die Struktur dieser Ausführungsform der Signalformereinrichtung. Eine Signalformereinrichtung 507 ist auch als Tastverhältnis-Rückgewinnungseinrichtung ausgebildet, die ein Taktsignal mit einem Tastverhältnis von 50% abgibt. In Fig. 27 bezeichnet 101 einen Integrator, 102 ist ein Differenzverstärker, 103 und 104 sind Widerstandselemente, und SO bezeichnet ein Ausgangssignal des Integrators 101. Der maximale variable Verzögerungswert einer zweiten variablen Verzögerungsschaltung 12 ist mit weniger als einem Zyklus eines Eingangstaktsignals IN vorgegeben.

Das Eingangstaktsignal IN wird der zweiten variablen Verzögerungsschaltung 12 und einem Setzeingang SET eines SR-Flipflops 14 zugeführt. Ein Ausgangstaktsignal OUT_B wird einem Rücksetzeingang RST des SR-Flipflops 14 zugeführt. Das Signal eines nichtinvertierenden Ausgangs Q des SR-Flipflops 14 wird als ein Ausgangstaktsignal OUT nach außen abgegeben und außerdem in den Integrator 101 geführt. Das Ausgangssignal SO des Integrators 101 wird an den nichtinvertierenden Eingang des Differenzverstärkers 102 geführt.

Ein Potential des Verbindungsbereichs der Widerstandselemente 103 und 104, die zwischen eine Hochpotential- bzw. Vdd-Netzleitung und eine Massepotential-Netzleitung in Reihe geschaltet sind und Widerstandswerte haben, die einander gleich sind, d. h. ein Mittelpunktspotential ($V_{dd}/2$), wird als Referenzpotential dem invertierenden Eingang des Differenzverstärkers 102 zugeführt. Anders ausgedrückt, es wirken die Widerstandselemente 103 und 104 als Schaltkreis zum Erzeugen des Referenzpotentials. Der Differenzverstärker 102 gibt als Steuersignal Vin ein Spannungssignal ab, dessen Wert zu der Differenz zwischen den beiden Eingangssignalen proportional ist. Das Steuersignal Vin wird der zweiten variablen Verzögerungsschaltung 12 zugeführt. Die Zeitkonstante des Integrators 101 ist viel größer als ein Zyklus T vorgegeben.

Fig. 28 ist ein Impulsdigramm zur Erläuterung des Betriebs der Signalformereinrichtung 507. Wie Fig. 28

zeigt, wird davon ausgegangen, daß das Ausgangstaktsignal OUT_B gegenüber dem Eingangstaktsignal IN zusätzlich zu dem Zyklus T um eine weitere Dauer t_1 verzögert wird. Zu diesem Zeitpunkt hat das Ausgangssignal SO einen Wert, der niedriger als das Referenzpotential ($= V_{dd}/2$) ist. Da das Ausgangstaktsignal OUT_B gegenüber dem Eingangstaktsignal IN um mehr als den Zyklus T verzögert wird, wird das Tastverhältnis des Ausgangstaktsignals OUT höher als 50%. Infolgedessen nähert sich das Ausgangssignal SO allmählich dem Referenzpotential durch die Operation des Integrators 101. Gleichzeitig wird der Verzögerungswert der zweiten variablen Verzögerungsschaltung 12 allmählich verringert. Anders ausgedrückt nähert sich das Tastverhältnis des Ausgangstaktsignals OUT 50%.

Im Gegensatz dazu wird davon ausgegangen, daß das Ausgangstaktsignal OUT_B gegenüber dem Eingangstaktsignal IN um weniger als den Zyklus T und zwar um die Dauer t_1 verzögert wird. Zu diesem Zeitpunkt hat das Ausgangssignal SO einen Wert, der höher als das Referenzpotential ist. Da das Ausgangssignal OUT_B gegenüber dem Eingangstaktsignal IN um weniger als den Zyklus T verzögert ist, wird das Tastverhältnis des Ausgangstaktsignals OUT kleiner als 50%. Infolgedessen nähert sich das Ausgangssignal SO durch die Operation des Integrators 101 allmählich dem Referenzpotential. Gleichzeitig wird der Verzögerungswert der zweiten variablen Verzögerungsschaltung 12 allmählich vergrößert. Anders ausgedrückt, es nähert sich das Tastverhältnis des Ausgangstaktsignals OUT 50%.

Wenn das Tastverhältnis des Ausgangstaktsignals OUT 50% erreicht, wird das Ausgangssignal SO zu Null. Infolgedessen wird das Tastverhältnis des Ausgangstaktsignals OUT nicht mehr geändert. Schließlich ist das Tastverhältnis des Ausgangstaktsignals OUT stabil auf einen Wert von 50% eingestellt. Somit wirkt die Signalformereinrichtung 507 als eine Tastverhältnis-Rückgewinnungseinrichtung, die das Ausgangstaktsignal OUT mit einem Tastverhältnis von 50% ungeachtet des Tastverhältnisses des Eingangstaktsignals IN abgibt.

In der Signalformereinrichtung 507 wird das Ausgangstaktsignal OUT, das letztlich nach außen abgegeben wird, überwacht, um ein Tastverhältnis von 50% zu erhalten. Obwohl die Treibkraft zur Abgabe eines Werts "1" nicht exakt zur Übereinstimmung mit der Treibkraft zur Abgabe eines Werts "0" einschließlich des SR-Flipflops 14, das in einer Endstufe vorgesehen ist, veranlaßt wird, ist es infolgedessen möglich, die Störung der Wellenform, die durch die Vorspannung verursacht ist, auszugleichen und das Tastverhältnis des Ausgangstaktsignals OUT exakt auf 50% einzustellen. Anders ausgedrückt, es kann die Einrichtung auf einfache Weise hergestellt werden.

In der Signalformereinrichtung 507 kann das Ausgangstaktsignal OUT mit gewünschten verschiedenen Tastverhältnissen erhalten werden, indem das Verhältnis des Widerstandswerts des Widerstandselements 103 zu dem des Widerstandselements 104 reguliert wird. Insbesondere bietet die Signalformereinrichtung 507 auch den Vorteil, daß die Regulierung des Tastverhältnisses besonders einfach ist.

11-2. Integrator

Einige Beispiele eines Integrators, der als der Integrator 101 der Signalformereinrichtung 507 geeignet ist, werden nachstehend beschrieben. Wie Fig. 29 zeigt, kann als der Integrator 101 ein wohlbekanntes RC-Fil-

ter verwendet werden. Das RC-Filter bietet die Vorteile einer einfachen Struktur und geringer Herstellungskosten.

Ein in Fig. 30 gezeigter Integrator 101a hat zwei Nichtglieder 103, die mit der Eingangsseite des RC-Filters verbunden sind. Ein Ausgangstaktsignal OUT wird dem Eingang des Nichtglieds 103 und nicht direkt dem RC-Filter zugeführt. Infolgedessen ist es möglich, den Einfluß des Ausgangstaktsignals OUT auf die von dem RC-Filter verursachte Wellenform zu eliminieren.

Eine Ladungspumpe zum Erzeugen eines Strompakets wird bei einem Integrator 101b gemäß Fig. 31 verwendet. In Fig. 31 bezeichnen 104 und 105 Schaltelemente, C ist ein kapazitives Element, und IN und IP bezeichnen Stromquellen. Wenn ein einzugebendes Ausgangstaktsignal OUT einen Wert "1" hat, wird die Stromquelle IP eingeschaltet und die Stromquelle IN ausgeschaltet. Wenn dagegen das einzugebende Ausgangstaktsignal OUT einen Wert "0" hat, wird die Stromquelle IN eingeschaltet und die Stromquelle IP ausgeschaltet. Daher wird der Wert des Ausgangstaktsignals OUT von dem kapazitiven Element C integriert. Ein Integralwert wird durch eine von dem kapazitiven Element C gespeicherte Spannung wiedergegeben.

Ein in Fig. 32 gezeigter Integrator 101c ist eine Form des Integrators 101, der geeignet ist, um die Stromstärken der Stromquellen IN und IP einander gleich zu machen. In Fig. 32 bezeichnen 106, 107 und 109 NMOS-Transistoren, 108 und 110 sind PMOS-Transistoren, 111 ist ein Nichtglied, und R ist ein Widerstandselement.

Die MOS-Transistoren 109 und 110 entsprechen den Schaltelementen 104 bzw. 105. Die MOS-Transistoren 107 und 108 entsprechen den Stromquellen IN bzw. IP. Ein Vorspannungskreis der MOS-Transistoren 107 und 108 ist aus den MOS-Transistoren 106, 107 und 108 und dem Widerstandselement R gebildet.

Dabei ist die Größe eines Stroms, der in einer Serienschaltung aus dem Widerstandselement R und dem MOS-Transistor 106 fließt, durch den Widerstandswert des Widerstandselements R präzise bestimmt. Ein Strom mit demselben Wert wie dem eines Stroms, der in dem Widerstandselement R fließt, fließt in den MOS-Transistoren 107 und 108 durch eine Stromspiegelschaltung, die aus den MOS-Transistoren 106 und 107 gebildet ist, und eine Stromspiegelschaltung, die aus zwei MOS-Transistoren 108 gebildet ist.

Anders ausgedrückt, es sind die Stromwerte der MOS-Transistoren 107 und 108, die als Stromquellen wirken, durch den Widerstandswert des Widerstandselements R präzise bestimmt.

Außerdem können die Stromwerte der MOS-Transistoren 107 und 108, die als Stromquellen wirken, möglichst weitgehend verringert werden, indem der Widerstandswert des Widerstandselements R erhöht wird. Somit wird die Kapazität des kapazitiven Elements C verringert, so daß die Layout-Fläche kleiner gehalten und die Zeitkonstante höher eingestellt werden kann.

12. Zwölfte Ausführungsform

Das Blockbild von Fig. 33 zeigt die Struktur einer Signalformereinrichtung gemäß der zwölften Ausführungsform. Eine Signalformereinrichtung 508 ist als eine Tastverhältnis-Rückgewinnungseinrichtung ausgebildet, die ein Taktsignal bildet, das ein Tastverhältnis von 50% hat, und die der Signalformereinrichtung 507 entspricht, die aus einer Digitalschaltung gebildet ist. In Fig. 33 bezeichnet 120 ein Digitalfilter. Der maximale

variable Verzögerungswert einer variablen Verzögerungsschaltung 42 ist mit weniger als einem Zyklus eines Eingangstaktsignals IN vorgegeben.

Das Eingangstaktsignal IN wird in die variable Verzögerungsschaltung 42 und in einen Setzeingang SET eines SR-Flipflops 14 eingegeben, und ein Ausgangstaktsignal OUT_B wird einem Rücksetzeingang RST des SR-Flipflops 14 zugeführt. Das Signal eines nichtinvertierenden Ausgangs Q des SR-Flipflops 14 wird als ein Ausgangstaktsignal OUT nach außen abgegeben und gleichzeitig in das Digitalfilter 120 geführt. Ein von dem Digitalfilter 120 abgegebenes Steuersignal Sin wird in die variable Verzögerungsschaltung 42 eingegeben.

Das Schaltbild von Fig. 34 zeigt die Struktur des Digitalfilters 120. Dabei bezeichnet 121 ein Nichtglied, 122 und 123 sind ein erster und ein zweiter Zweirichtungszähler, und HCK bezeichnet ein Hochgeschwindigkeits-Taktsignal, dessen Zyklus viel kleiner als der des Eingangstaktsignals IN ist.

Das Ausgangstaktsignal OUT wird direkt einem Aufwärtseingang UP des ersten Zählers 122 einer ersten Stufe zugeführt und wird einem Abwärtseingang DWN durch das Nichtglied 121 zugeführt. Ein Überlaufausgang OVR und ein Unterlaufausgang UND des ersten Zählers 122 sind mit einem Aufwärtseingang UP bzw. einem Abwärtseingang DWN des zweiten Zählers 123 verbunden. Das Hochgeschwindigkeits-Taktsignal HCK wird Takteingängen der Zähler 122 und 123 zugeführt. Der Zählwert des zweiten Zählers 123 einer zweiten Stufe wird als Steuersignal Sin abgegeben.

Wenn also das Ausgangstaktsignal OUT einen Wert "1" hat, gibt der erste Zähler 122 wiederholt den Wert "1" an dem Überlaufausgang OVR in einem Zyklus ab, der gleich einem konstanten Vielfachen des Hochgeschwindigkeits-Taktsignals HCK ist. Wenn dagegen das Ausgangstaktsignal OUT einen Wert "0" hat, gibt der erste Zähler 122 wiederholt den Wert "1" an dem Unterlaufausgang UND ab.

Wenn daher das Tastverhältnis des Ausgangstaktsignals OUT größer als 50% ist, wird der Wert des Steuersignals Sin erhöht. Wenn das Tastverhältnis des Ausgangstaktsignals OUT kleiner als 50% ist, wird der Wert des Steuersignals Sin verringert. Wenn das Tastverhältnis des Ausgangstaktsignals OUT 50% ist, wird der Wert des Steuersignals Sin nicht verändert.

In der Signalformereinrichtung 508 wird daher der Verzögerungswert der variablen Verzögerungsschaltung 42 so gesteuert, daß das Tastverhältnis des Ausgangstaktsignals OUT an 50% angenähert wird. Daher wirkt die Signalformereinrichtung 508 als Tastverhältnis-Rückgewinnungseinrichtung, die das Ausgangstaktsignal OUT mit einem Tastverhältnis von 50% abgibt, und zwar ungeachtet des Tastverhältnisses des Eingangstaktsignals IN.

In der Signalformereinrichtung 508 wird das Ausgangstaktsignal OUT, das letztlich nach außen abgegeben wird, auf die gleiche Weise wie in der Signalformereinrichtung 507 überwacht, um ein Tastverhältnis von 50% zu erhalten. Infolgedessen ist es möglich, den Einfluß der Treibkraft-Vorspannung auszugleichen und auf präzise Weise ein Taktsignal mit einem Tastverhältnis von 50% als Ausgangstaktsignal OUT zu erhalten, wobei das SR-Flipflop 14 in der Endstufe vorgesehen ist.

Ferner sind sämtliche Einrichtungsteile durch digitale Schaltkreise gebildet. Somit kann die Layout-Fläche verkleinert werden, und die Einrichtung kann leicht mittels einer Standard-Zelle konstruiert werden.

Das Schaltbild von Fig. 35 zeigt ein Beispiel eines

anderen Digitalfilters, das für die Signalformereinrichtung 508 geeignet ist. In Fig. 35 bezeichnen 125 und 126 UND-Glieder, und 127 und 128 bezeichnen asynchrone Zweirichtungszähler.

Eine logische UND-Verknüpfung aus einem Ausgangstaktsignal OUT und einem Hochgeschwindigkeits-Taktsignal HCK wird einem Aufwärtseingang UP des ersten Zählers 127 zugeführt. Eine logische UND-Verknüpfung des invertierten Signals des Ausgangstaktsignals OUT und des Hochgeschwindigkeits-Taktsignals HCK wird einem Abwärtseingang DWN des ersten Zählers 127 zugeführt. Ein Überlaufausgang OVR und ein Unterlaufausgang UND des ersten Zählers 127 sind mit einem Aufwärtseingang UP bzw. einem Abwärtseingang DWN des zweiten Zählers 128 verbunden. Der Zählwert des zweiten Zählers 128 wird als Steuersignal Sin abgegeben.

Wenn daher das Ausgangstaktsignal OUT einen Wert "1" hat, zählt der erste Zähler 127 das Hochgeschwindigkeits-Taktsignal HCK, das dem Aufwärtseingang UP zugeführt ist, aufwärts und gibt wiederholt den Wert "1" an dem Überlaufausgang OVR in einem Zyklus ab, der einem konstanten Vielfachen des Hochgeschwindigkeits-Taktsignals HCK äquivalent ist. Wenn dagegen das Ausgangstaktsignal OUT einen Wert "0" hat, zählt der erste Zähler 127 das Hochgeschwindigkeits-Taktsignal HCK, das dem Abwärtseingang DWN zugeführt ist, abwärts und gibt wiederholt den Wert "1" an dem Unterlaufausgang UND ab.

Wenn daher das Tastverhältnis des Ausgangstaktsignals OUT größer als 50% ist, wird der Wert des Steuersignals Sin erhöht. Wenn das Tastverhältnis des Ausgangstaktsignals OUT kleiner als 50% ist, wird der Wert des Steuersignals Sin verringert. Wenn das Tastverhältnis des Ausgangstaktsignals OUT 50% ist, wird der Wert des Steuersignals Sin nicht verändert.

In der Signalformereinrichtung 508, die ein Digitalfilter 120a verwendet, wird somit der Verzögerungswert der variablen Verzögerungsschaltung 42 auf solche Weise gesteuert, daß das Tastverhältnis des Ausgangstaktsignals OUT 50% angenähert wird. Daher wirkt die Signalformereinrichtung 508 als eine Tastverhältnis-Rückgewinnungseinrichtung, die das Ausgangstaktsignal OUT mit einem Tastverhältnis von 50% abgibt. Als Digitalfilter 120a wird ein kostengünstiger asynchroner Zähler verwendet. Somit können die Herstellungskosten gesenkt werden.

13. Dreizehnte Ausführungsform

Das Blockbild von Fig. 36 zeigt die Struktur der dreizehnten Ausführungsform einer Signalformereinrichtung. Dabei ist eine Signalformereinrichtung 509 als eine PDM-Einrichtung (Pulsdauermodulations-Einrichtung) ausgebildet.

In Fig. 36 bezeichnet Vr ein von außen zugeführtes Eingangssignal, und 130 ist ein Eingang, dem das Eingangssignal Vr zugeführt wird. Der Eingang 130 ist mit dem invertierenden Eingang eines Differenzverstärkers 102 verbunden. Anders ausgedrückt, es hat die Signalformereinrichtung 509 eine Struktur, in der der durch Widerstandselemente 103 und 104 gebildete Referenzspannungserzeugungsteil aus der Signalformereinrichtung 507 (Fig. 27) entfernt ist und ein Spannungssignal einer beliebigen Größe von außen in den invertierenden Eingang des Differenzverstärkers 102 eingegeben werden kann.

Die Zeitkonstante eines Integrators 101 ist auf solche

Weise eingestellt, daß die Beziehung

Zyklus $T < \text{Zeitkonstante} < \text{Zyklus von } V_r$

zwischen dem Zyklus T eines Eingangstaktsignals IN , der Zeitkonstanten des Integrators 101 und dem Zyklus des Eingangssignals V_r beibehalten wird. In diesem Fall wird eine variable Verzögerungsschaltung 42 im Synchronisierzustand gehalten, obwohl das Eingangssignal V_r geändert wird. Infolgedessen wird der Zyklus eines Ausgangstaktsignals OUT auf den Zyklus T des Eingangstaktsignals IN fixiert gehalten. Wenn ferner das Eingangssignal V_r hoch ist, wird das Tastverhältnis des Ausgangstaktsignals OUT vergrößert. Wenn dagegen das Eingangssignal V_r niedrig ist, wird das Tastverhältnis des Ausgangstaktsignals OUT verkleinert.

Dabei ist es möglich, ein PDM-Ausgangssignal als das Ausgangstaktsignal OUT in Abhängigkeit von dem Eingangssignal V_r zu erhalten, ohne von dem Tastverhältnis des Eingangstaktsignals IN abhängig zu sein. Außerdem wird zwischen der Größe des Eingangssignals V_r und dem Tastverhältnis des Ausgangstaktsignals OUT eine lineare Beziehung beibehalten. Somit kann eine PDM-Einrichtung mit ausgezeichneten Charakteristiken implementiert werden.

14. Vierzehnte Ausführungsform

Das Blockbild von Fig. 37 zeigt die Struktur einer vierzehnten Ausführungsform der Signalformereinrichtung. Eine Signalformereinrichtung 510 ist ebenfalls als PDM-Einrichtung ausgebildet.

In Fig. 37 bezeichnet 132 einen Offseterzeugungsteil. Der Offseterzeugungsteil 132 ist zwischen einem Schleifenfilter 17 und einer zweiten variablen Verzögerungsschaltung 12 eingefügt und dient dazu, ein Offsetsignal, dessen Wert einem Eingangssignal V_r entspricht, das von außen durch einen Eingang 130 zugeführt wird, mit einem Steuersignal V_{in} zu überlappen. Dabei hat die Signalformereinrichtung 510 eine Struktur, in der ein Offsetsignal mit einem beliebigen Wert, das von außen zugeführt wird, dem Steuersignal V_{in} überlagert werden kann, das der zweiten variablen Verzögerungsschaltung 12 in der Signalformereinrichtung 506 (Fig. 25) zugeführt wird.

Auch wenn das Eingangssignal V_r geändert wird, wird die Operation einer ersten variablen Verzögerungsschaltung 11 nicht beeinflußt, so daß die erste variable Verzögerungsschaltung 11 im Synchronisierzustand gehalten wird. Wenn daher das Eingangssignal V_r , das geändert wird, um die Beziehung: Zyklus $T < \text{Zyklus von } V_r$ zwischen dem Zyklus T eines Eingangstaktsignals IN und dem Zyklus des Eingangssignals V_r beizubehalten, eingegeben wird, wird nur das Tastverhältnis eines Ausgangstaktsignals OUT geändert, und der Zyklus des Ausgangstaktsignals OUT bleibt auf den Zyklus T des Eingangstaktsignals IN fixiert. Anders ausgedrückt, es wirkt die Signalformereinrichtung 510 als PDM-Einrichtung.

Der Offseterzeugungsteil 132 ist ein Addierer, der die Eingangssignale V_{in} und V_r addiert und das Additionsergebnis abgibt und ohne weiteres beispielsweise durch Verwendung eines Operationsverstärkers gebildet werden kann. Durch Halten des Eingangssignals V_r auf einem Konstantwert, der sich nicht über die Zeit ändert, kann die Signalformereinrichtung 510 auch als die in der zehnten Ausführungsform beschriebene Einrichtung wirken, d. h. als Tastverhältnis-Rückgewinnungseinrich-

tung, die das Ausgangstaktsignal OUT mit einem gewünschten beliebigen Tastverhältnis abgibt.

Ferner kann die Signalformereinrichtung 510 die Pulsdauermodulation des Eingangssignals V_r hoher Frequenz ausführen, ohne den Zyklus des Eingangssignals V_r in bezug auf die Integralzeitkonstante der Einrichtung einzuschränken.

15. Fünfzehnte Ausführungsform

Das Blockbild von Fig. 38 zeigt die Struktur einer fünfzehnten Ausführungsform der Signalformereinrichtung. Eine Signalformereinrichtung 511 ist so ausgebildet, daß die Funktionen einer Tastverhältnis-Rückgewinnungseinrichtung und eines Frequenzvervielfachers realisiert werden.

In Fig. 38 bezeichnen 134, 135 und 136 eine zweite, dritte und vierte variable Verzögerungsschaltung, 137 und 138 bezeichnen SR-Flipflops, 139 bezeichnet ein ODER-Glied, 141, 142 und 143 bezeichnen Ausgänge, $OUT\ B_1$, $OUT\ B_2$ und $OUT\ B_3$ bezeichnen Ausgangssignale der zweiten, dritten bzw. vierten variablen Verzögerungsschaltung 134, 135 bzw. 136, und P_1 , P_2 und DBL bezeichnen Ausgangssignale der SR-Flipflops 137 und 138 bzw. des ODER-Glieds 139.

Dabei ist die Signalformereinrichtung 511 gebildet durch Hinzufügen der dritten und vierten variablen Verzögerungsschaltungen 135 und 136, des SR-Flipflops 138 und des ODER-Glieds 139 zu der Signalformereinrichtung 506 (Fig. 25). Die zweite variable Verzögerungsschaltung 134 ist jedoch nicht die gleiche wie die zweite variable Verzögerungsschaltung 12 der Signalformereinrichtung 506 (Fig. 25). Die Verzögerungswerte der zweiten bis vierten variablen Verzögerungsschaltungen 134 bis 136 sind mit $1/4$ des Verzögerungswerts einer ersten variablen Verzögerungsschaltung 11 unter demselben Steuersignal V_{in} eingestellt.

Das Ausgangstaktsignal $OUT\ B_1$ wird als Eingangssignal in die dritte variable Verzögerungsschaltung 135 eingeführt, und das Ausgangstaktsignal $OUT\ B_2$ wird in die vierte variable Verzögerungsschaltung 136 eingeführt. Dabei sind die zweite bis vierte variable Verzögerungsschaltung 134 bis 136 in Kaskade geschaltet. Das als Steuersignal von einem Schleifenfilter 17 abgegebene Steuersignal V_{in} wird in die zweite bis vierte variable Verzögerungsschaltung 134 bis 136 gemeinsam eingegeben.

Das Ausgangstaktsignal $OUT\ B_2$ wird einem Setzeingang SET des SR-Flipflops 138 zugeführt. Das Ausgangstaktsignal $OUT\ B_3$ wird einem Rücksetzeingang RST des SR-Flipflops 138 zugeführt. Die Ausgangssignale P_1 und P_2 der nichtinvertierenden Ausgänge Q der SR-Flipflops 137 und 138 werden nach außen durch die Ausgänge 141 und 143 abgegeben und in die beiden Eingänge des ODER-Glieds 138 eingeführt. Das Ausgangssignal DBL des ODER-Glieds 138 wird durch den Ausgang 142 nach außen abgegeben.

Das Impulsdigramm von Fig. 39 dient der Erläuterung der Operation der Signalformereinrichtung 511 als ein Beispiel, bei dem sich die erste variable Verzögerungsschaltung 11 im Synchronisierzustand befindet. Da sich die erste variable Verzögerungsschaltung 11 im Synchronisierzustand befindet, wird das Ausgangstaktsignal $OUT\ A$ gegenüber einem Eingangstaktsignal IN um einen Zyklus T verzögert, und die Phasendifferenz zwischen ihnen ist scheinbar Null. In diesem Fall werden die Ausgangstaktsignale $OUT\ B_1$ bis $OUT\ B_3$ gegenüber dem Eingangstaktsignal IN sequentiell um $T/4$ ver-

zögert.

Das SR-Flipflop 137 wird bei der Vorderflanke des Ausgangstaktsignals OUT_A gesetzt und bei der Vorderflanke des Ausgangstaktsignals OUT_B1 rückgesetzt. Daher wird das Ausgangssignal P1 als Taktsignal erhalten, das die gleiche Phase wie das Ausgangstaktsignal OUT_A, d. h. wie das Eingangstaktsignal IN, und ein Tastverhältnis von 1/4 hat.

Das SR-Flipflop 138 wird bei der Vorderflanke des Ausgangstaktsignals OUT_B2 gesetzt und bei der Vorderflanke des Ausgangstaktsignals OUT_B3 rückgesetzt. Daher wird das Ausgangssignal P2 als Taktsignal erhalten, dessen Phase gegenüber dem Ausgangstaktsignal OUT_A (oder dem Eingangstaktsignal IN) um T/2 verzögert ist und das ein Tastverhältnis von 1/4 hat.

Das ODER-Glied 139 errechnet eine logische ODER-Verknüpfung der Ausgangssignale P1 und P2 und gibt diese ab. Daher wird das Ausgangssignal DBL als ein Taktsignal mit einem Zyklus T/2 und einem Tastverhältnis von 50% erhalten.

Somit erzeugt die Signalformereinrichtung 511 ein 2-Phasen-Taktsignal, das Phasen hat, die gleich der und entgegengesetzt zu der Phase des Eingangstaktsignals IN sind, und ein Taktsignal mit verdoppelter Frequenz. Außerdem haben die Tastverhältnisse dieser Taktsignale ungeachtet des Eingangstaktsignals IN konstante Werte. Wenn also die Objekteinrichtung 5 (Fig. 2) ein Taktsignal benötigt, das eine Mehrzahl von Phasen oder eine Mehrzahl von Frequenzen hat, ist die Signalformereinrichtung 511 anwendbar.

Durch Erweiterung der Signalformereinrichtung 511 derart, daß das Verhältnis der Verzögerungswerte der variablen Verzögerungsschaltungen auf einen von 1/4 verschiedenen Wert und die Anzahl der kaskadengeschalteten variablen Verzögerungsschaltungen auf einen Wert eingestellt wird, der größer als drei ist, ist es möglich, ohne weiteres ein Vielphasentaktsignal zu erzeugen, das mehr Phasen hat, oder eine Vervielfachung des Taktsignals durchzuführen, wobei eine Frequenz mit dem Dreifachen, Vierfachen und dergleichen vorgegeben ist.

Im allgemeinen genügt es, daß die Anzahl der Stufen in und nach der dritten variablen Verzögerungsschaltung 135 gleich N (= eine gerade Zahl) ist, daß der Setzeingang SET und der Rücksetzeingang RST des SR-Flipflops mit Eingangs- bzw. Ausgangsseiten jeder zweiten Schaltung einschließlich der zweiten variablen Verzögerungsschaltung 134 verbunden werden, und daß das ODER-Glied 139 zur Bildung und Abgabe einer logischen ODER-Verknüpfung der Ausgangssignale der nichtinvertierenden Ausgänge Q sämtlicher SR-Flipflops vorgesehen ist. Ferner ist es ideal, wenn jeweilige Verzögerungswerte in und nach der zweiten variablen Verzögerungsschaltung 134 mit $1/(N+2)$ des Verzögerungswerts der ersten variablen Verzögerungsschaltung 11 vorgegeben sind. In diesem Fall ist die Anzahl M der SR-Flipflops, die mit Schaltungen in und nach der dritten variablen Verzögerungsschaltung 135 verbunden sind, gleich der Hälfte von N , also $M = N/2$.

Infolgedessen gibt das ODER-Glied 139 ein Taktsignal ab, dessen Frequenz das $(N+2)/2$ -fache, also $(M+1)$ mal so viel wie die Frequenz des Eingangstaktsignals IN, ist und das ein Tastverhältnis von 50% hat. Bei einem in Fig. 38 gezeigten Beispiel hat N einen kleinsten Wert, und zwar $N = 2$.

16. Sechzehnte Ausführungsform

Das Blockbild von Fig. 40 zeigt die Struktur einer Taktsignalzuführvorrichtung gemäß einer sechzehnten Ausführungsform. Eine Taktsignalzuführvorrichtung 512 ist so ausgebildet, daß sie die gleiche Funktion wie die Taktsignalzuführvorrichtung 501 (Fig. 2) hat, in der eine DLL-Einrichtung mit einer Tastverhältnis-Rückführungseinrichtung kombiniert ist.

In Fig. 40 bezeichnet 151 eine Verzögerungsschaltung, 152 ist ein Selektor, 153 ist ein erster Wählsignalerzeugungsteil, 154 ist ein zweiter Wählsignalerzeugungsteil, 155 ist ein Zyklusmeßteil, c1 bis cn bezeichnen Ausgangssignale der Verzögerungsschaltung 151, S1 bezeichnet ein erstes Wählsignal, S2 bezeichnet ein zweites Wählsignal, S3 bezeichnet ein drittes Wählsignal, und OUT_S1 und OUT_S2 bezeichnen Ausgangssignale des Selektors 152.

Die Verzögerungsschaltung 151 verzögert sequentiell ein Eingangstaktsignal CL um eine konstante Dauer und gibt die Ausgangssignale c1, c2, ..., cn ab. Der Verzögerungswert der Verzögerungsschaltung 151 ist nicht variabel, und die Schaltung besteht aus Nichtgliedern, die beispielsweise in Vielfachstufen in Kaskade geschaltet sind.

Der Selektor 152 ist als ein Zweifachselektor ausgebildet, um eines der Ausgangssignale c1, c2, ..., cn in Abhängigkeit von dem ersten Wählsignal S1 zu wählen und das Ausgangssignal OUT_S1 abzugeben und eines der Ausgangssignale c1, c2, ..., cn in Abhängigkeit von dem zweiten Wählsignal S2 zu wählen und das Ausgangssignal OUT_S2 abzugeben. Anders ausgedrückt, es wird von der Verzögerungsschaltung 151 und dem Selektor 152 eine variable Verzögerungsschaltung gebildet. Wenn die Wählsignale S1 und S2 größere Werte haben, wird ein Ausgangssignal mit einem größeren Verzögerungswert gewählt.

Der Zyklusmeßteil 155 mißt den Zyklus des Eingangstaktsignals CL und gibt als das dritte Wählsignal S3 einen Wert ab, der dem halben Zyklus äquivalent ist. Der erste Wählsignalerzeugungsteil 153 gibt das erste Wählsignal S1 entsprechend einer Phasendifferenz zwischen dem Eingangstaktsignal CL und einem Rückführungstaktsignal FB ab. Anders ausgedrückt, es gibt der erste Wählsignalerzeugungsteil 153 das erste Wählsignal S1 auf solche Weise ab, daß die Phasendifferenz zwischen dem Eingangstaktsignal CL und dem Rückführungstaktsignal FB äquivalent und stabil auf einen Wert Null eingestellt ist. Ferner addiert der zweite Wählsignalerzeugungsteil 154 das dritte Wählsignal S3 zu dem ersten Wählsignal S1 und gibt das zweite Wählsignal S2 ab.

Somit ist die DLL-Einrichtung aus der Verzögerungsschaltung 151, dem Selektor 152 und dem ersten Wählsignalerzeugungsteil 153 gebildet. Der Verzögerungswert wird auf solche Weise geregelt, daß die Phasendifferenz zwischen dem Eingangstaktsignal CL und dem Rückführungstaktsignal FB äquivalent Null ist. Ferner ist die Tastverhältnis-Rückgewinnungseinrichtung, die das beliebige Tastverhältnis des Eingangstaktsignals IN in 50% umformt, durch den Zyklusmeßteil 155 und den zweiten Wählsignalerzeugungsteil 154 gebildet.

Fig. 41 ist ein Impulsdiagramm zur Erläuterung der Operation der Taktsignalzuführvorrichtung 512 als ein Beispiel, in dem die Phasendifferenz stabil auf den Wert Null eingestellt ist. In Fig. 41 bezeichnet T einen Zyklus des Eingangstaktsignals CL. Das Ausgangssignal OUT_S1 wird gegenüber dem Eingangstaktsignal CL

um einen konstanten Verzögerungswert verzögert, der dem Wert des ersten Wählsignals S1 entspricht. Ferner wird das Ausgangssignal OUT_S2 gegenüber dem Ausgangssignal OUT_S1 um $T/2$ entsprechend dem dritten Wählsignal S3 verzögert.

Ein SR-Flipflop 14 wird von dem Ausgangssignal OUT_S1 gesetzt und von dem Ausgangssignal OUT_S2 rückgesetzt. Infolgedessen wird an einem nichtinvertierenden Ausgang Q des SR-Flipflops 14 synchron mit dem Ausgangssignal OUT_S1 ein Taktsignal Q mit einem Tastverhältnis von 50% abgegeben.

Das Ausgangssignal Q wird von einem Taktsignaltreiber 3, einer Taktsignalleitung 4 und dergleichen weiter verzögert, bevor es als das Rückführungstaktsignal FB übertragen wird. Der von dem Eingangstaktsignal CL auf das Ausgangssignal OUT_S1 abgegebene Verzögerungswert wird jedoch auf solche Weise geregelt, daß die scheinbare Phasendifferenz zwischen dem Eingangstaktsignal CL und dem Rückführungstaktsignal FB durch die Operation der DLL-Einrichtung mit Null vorgegeben wird.

Somit erzeugt die Taktsignalführvorrichtung 512 ein Taktsignal, das keine Phasendifferenz gegenüber dem Eingangstaktsignal CL hat und ein Tastverhältnis von 50% ungeachtet des Tastverhältnisses des Eingangstaktsignals CL hat.

Fig. 42 ist ein Blockbild, das ein bevorzugtes Beispiel der Struktur des ersten Wählsignalerzeugungsteils 153 zeigt. Wie Fig. 42 zeigt, kann der erste Wählsignalerzeugungsteil 153 die gleiche Struktur wie der Steuerteil 43 der Signalformereinrichtung 503 (Fig. 7) haben.

Das Blockbild von Fig. 43 zeigt ein bevorzugtes Beispiel für den Aufbau des Zyklusmeßteils 155. In Fig. 43 bezeichnet 156 eine Verzögerungsschaltung, 157 ist ein Selektor, 158 ist ein Teiler, und S4 bezeichnet ein viertes Wählsignal. Die Verzögerungsschaltung 156 hat die gleiche Struktur wie die Verzögerungsschaltung 151. Außerdem sind auch die Verzögerungswerte vieler Ausgangssignale in den Verzögerungsschaltungen 156 und 151 miteinander koinzident. In den Selektoren 157 und 152 ist die Ansprechbeziehung zwischen dem Wählsignal und einem entsprechend dem Wählsignal ausgewählten Signal identisch vorgegeben.

Der Selektor 157 wählt eines der Ausgangssignale von der Verzögerungsschaltung 156 in Abhängigkeit von dem vierten Wählsignal S4, das von einem A-D-Wandler 45 abgegeben wird, und gibt das gewählte Signal an einen Phasenvergleicher 15 ab. Anders ausgedrückt ist die variable Verzögerungsschaltung 41 (Fig. 7) im wesentlichen aus der Verzögerungsschaltung 156 und dem Selektor 157 gebildet. Der Zyklusmeßteil 155 ist gebildet, indem der Teiler 158 zu der variablen Verzögerungsschaltung 41 und dem Steuerteil 43 (Fig. 7) hinzugefügt wurde.

Daher wird das dritte Wählsignal S3 als Wählsignal erzeugt, um ein Signal mit einem Verzögerungswert $T/2$ aus den Ausgangssignalen der Verzögerungsschaltung 156 zu wählen. Mit anderen Worten bedeutet dies, daß das dritte Wählsignal S3 als Wählsignal erzeugt wird, um das Signal, das einen Verzögerungswert $T/2$ hat, aus den Ausgangssignalen c1 bis cn der Verzögerungsschaltung 151 auszuwählen.

Fig. 44 ist ein Blockbild eines Beispiels der Struktur des zweiten Wählsignalerzeugungsteils 154. Wie Fig. 44 zeigt, kann der zweite Wählsignalerzeugungsteil 154 die Wählsignale S1 und S3 als Binärziffern unter Verwendung eines digitalen Adders addieren und das Wählsignal S2 abgeben.

Da das zweite Wählsignal S2 durch Addition des dritten Wählsignals S3 zu dem ersten Wählsignal S1 erhalten wird, wird ein gegenüber dem Ausgangssignal OUT_S1 um $T/2$ verzögertes Signal gewählt und als das Ausgangssignal OUT_S2 abgegeben.

In der Taktsignalführvorrichtung 512 teilen sich die DLL-Einrichtung und die Tastverhältnis-Rückgewinnungseinrichtung die Verzögerungsschaltung 151. Somit ist die Anzahl der Elemente verringert, wodurch die Größe der Vorrichtung verringert werden kann. Außerdem sind sämtliche Einrichtungsteile durch digitale Schaltungen gebildet, um die Verarbeitung nur durch Digitalsignale durchzuführen. Infolgedessen wird die Taktsignalführvorrichtung 512 von elektrischem Rauschen kaum beeinflusst und kann stabil betrieben werden.

Der Zyklusmeßteil 155 hat Einrichtungsbereiche, die gleich denen der Verzögerungsschaltung 151, des Selektors 152 und des ersten Steuersignalerzeugungsteils 153 sind. Die entsprechenden Teile können die gleichen Strukturen haben. Daher können die Konstruktionsressourcen gemeinsam genutzt werden, so daß das Herstellungsverfahren vereinfacht werden kann und die Herstellungskosten gesenkt werden können.

Vorstehend wurde zwar ein Beispiel beschrieben, in dem der Zweifachselektor 152 verwendet wird, aber es können auch zwei gewöhnliche Selektoren verwendet werden, die dann mit der einzigen Verzögerungsschaltung 151 verbunden werden.

17. Siebzehnte Ausführungsform

Das Blockbild von Fig. 45 zeigt die Struktur einer Signalformereinrichtung gemäß einer siebzehnten Ausführungsform. Die Signalformereinrichtung 513 ist als Frequenzvervielfacher zum Vervielfachen der Frequenz eines Taktsignals ausgebildet.

In Fig. 45 bezeichnet 161 eine variable Verzögerungsschaltung, und 162 bezeichnet ein EXKLUSIV-ODER-Glied. Die variable Verzögerungsschaltung 161 hat einen Verzögerungswert, der mit $1/4$ desjenigen einer ersten variablen Verzögerungsschaltung 11 unter demselben Steuersignal Vin auf die gleiche Weise wie bei der variablen Verzögerungsschaltung 134 (Fig. 38) vorgegeben ist. Dabei sind die variablen Verzögerungsschaltungen 135 und 136, die SR-Flipflops 137 und 138 und das ODER-Glied 139 aus der Signalformereinrichtung 511 entfernt, und anstelle des SR-Flipflops 137 ist das EXKLUSIV-ODER-Glied 162 vorgesehen, so daß die Signalformereinrichtung 513 gebildet ist. Bei Verwendung der Signalformereinrichtung 513 wird als Eingangstaktsignal IN ein Taktsignal mit einem auf 50% eingestellten Tastverhältnis eingegeben.

Fig. 46 ist ein Impulsdiagramm zur Erläuterung der Operation der Signalformereinrichtung 513 als Beispiel, wobei die erste Verzögerungsschaltung 11 im Synchronisierzustand ist. Da die erste variable Verzögerungsschaltung 11 im Synchronisierzustand ist, wird ein Eingangstaktsignal OUT_A gegenüber dem Eingangstaktsignal IN um einen Zyklus T verzögert, und eine scheinbare (äquivalente) Phasendifferenz zwischen ihnen ist Null. In diesem Fall wird ein von der variablen Verzögerungsschaltung 161 abgegebenes Ausgangstaktsignal OUT_B gegenüber dem Eingangstaktsignal IN um $T/4$ verzögert.

Das EXKLUSIV-ODER-Glied 162 errechnet die EXKLUSIV-ODER- bzw. EXOR-Verknüpfung des Eingangstaktsignals OUT_A und des Ausgangstaktsignals

OUT B und gibt ein Ausgangstaktsignal OUT ab. Daher wird das Ausgangstaktsignal OUT als ein Taktsignal erhalten, das ein Tastverhältnis von 50% und einen Zyklus von T/4 hat. Außerdem gibt es keine Verzögerung zwischen der Vorderflanke des Eingangstaktsignals IN und der Vorderflanke des nach jeweils zwei Zyklen erhaltenen Ausgangstaktsignals OUT.

Ferner kann ein Taktsignal erhalten werden, das gegenüber dem Eingangstaktsignal IN um einen 1/4-Zyklus verzögert ist, indem das Ausgangstaktsignal OUT B als ein Ausgangstaktsignal nach außen abgerufen wird. In der Signalformereinrichtung 513 können daher ein Taktsignal, dessen Phase um einen vorbestimmten Wert verschoben ist, und ein Taktsignal, dessen Frequenz vervielfacht ist, erhalten werden durch Eingabe des Eingangstaktsignals IN, das ein Tastverhältnis von 50% hat.

Wie aus dem Vergleich mit der Signalformereinrichtung 511 (Fig. 38) zu sehen ist, kann die Signalformereinrichtung 513 die Vervielfachung der Frequenz mit einer einfachen Struktur realisieren.

Patentansprüche

1. Signalformereinrichtung, die die Wellenform eines von außen eingegebenen Eingangstaktsignals (IN) umformt, um ein Ausgangstaktsignal (OUT) abzugeben, gekennzeichnet durch

— eine erste variable Verzögerungsschaltung (11, 41), die das Eingangstaktsignal erhält, das Eingangstaktsignal um einen Verzögerungswert verzögert, der monoton mit einem Steuersignal (V_{in} , Sin) geändert wird, und ein erstes verzögertes Taktsignal (OUT_A) abgibt, wobei die Obergrenze des Verzögerungswerts mit mehr als einem Zyklus und weniger als zwei Zyklen des Eingangstaktsignals vorgegeben ist;

— eine zweite variable Verzögerungsschaltung (12, 42), die eines von dem Eingangstaktsignal und dem ersten verzögerten Taktsignal erhält, das in Abhängigkeit von dem Steuersignal um einen Verzögerungswert zu verzögern ist, der mit einem konstanten Verhältnis, das kleiner als 1 ist, zu dem Verzögerungswert der ersten variablen Verzögerungsschaltung geändert wird, und ein zweites verzögertes Taktsignal (OUT_B) abgibt;

— einen Steuerteil (13, 43), der die Phasen des Eingangstaktsignals und des ersten verzögerten Taktsignals miteinander vergleicht und in Abhängigkeit von dem Vergleichsergebnis das Steuersignal erzeugt und abgibt; und

— ein SR-Flipflop (14), das einen Setzeingang (SET) und einen Rücksetzeingang (RST) hat, die mit der Eingangs- bzw. der Ausgangsseite der zweiten variablen Verzögerungsschaltung verbunden sind, und das ein Ausgangssignal als Ausgangstaktsignal abgibt;

— wobei der Steuerteil das Steuersignal auf solche Weise ändert, daß der Verzögerungswert der ersten variablen Verzögerungsschaltung verringert wird, wenn die Phase des ersten verzögerten Taktsignals nacheilt, und daß der Verzögerungswert der ersten variablen Verzögerungsschaltung erhöht wird, wenn die Phase des ersten verzögerten Taktsignals vor-

eilt.

2. Signalformereinrichtung nach Anspruch 1, dadurch gekennzeichnet, daß der Steuerteil folgendes aufweist:

— einen Phasenvergleich (15), der die Phasen des Eingangstaktsignals und des ersten verzögerten Taktsignals miteinander vergleicht, eines von einem Aufwärts- und einem Abwärtssignal in Abhängigkeit davon wählt, ob eines von dem Eingangstaktsignal und dem ersten verzögerten Taktsignal später oder früher als das andere Taktsignal ist, und für jeden Zyklus des Eingangstaktsignals ein gewähltes Signal über eine Periode abgibt, die einer Phasendifferenz äquivalent ist;

— eine Ladungspumpe (16), um selektiv den einen oder den anderen von einem positiven und einem negativen Strom über eine Periode abzugeben, in der das Aufwärtssignal bzw. das Abwärtssignal abgegeben wird; und

— ein Schleifenfilter (17), das ein kapazitives Element hat, die von der Ladungspumpe abgegebenen positiven und negativen Ströme in dem kapazitiven Element speichert und die Spannung des kapazitiven Elements als das Steuersignal abgibt.

3. Signalformereinrichtung nach Anspruch 1 oder 2, dadurch gekennzeichnet,

— daß die erste variable Verzögerungsschaltung und die zweite variable Verzögerungsschaltung jeweils einen ersten Abschnitt (11) und einen zweiten Abschnitt (12) einer Gruppe von Verzögerungseinheits-Elementen (22) haben, die die gleiche Struktur haben und in Kaskade geschaltet sind, so daß sie geradlinig angeordnet sind;

— daß jedes der Verzögerungseinheits-Elemente, die die Gruppe bilden, folgendes aufweist: ein Nichtglied (25) zur Abgabe eines Signals in einem Verzögerungszeitraum, der mit der Zunahme eines zugeführten Quellenstroms verringert wird, und eine Stromquelle (23, 24) zur Zuführung des Quellenstroms zu dem Nichtglied in Abhängigkeit von einem Vorspannungssignal; und

— daß die erste variable Verzögerungsschaltung und die zweite variable Verzögerungsschaltung sich ferner einen einzigen Vorspannungs-Schaltungsteil (21, 31) teilen, der in Abhängigkeit von dem Steuersignal ein gemeinsames Signal als Vorspannungssignal jeder Stromquelle zuführt, die jeweils zu jedem der Verzögerungseinheits-Elemente, die die Gruppe bilden, gehört.

4. Signalformereinrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die erste variable Verzögerungsschaltung (41) folgendes aufweist:

— eine erste Festverzögerungsschaltung, die eine Gruppe von ersten Verzögerungseinheits-Elementen (46), die in Kaskade geschaltet sind, hat und als erste Signalfolge eine Folge von Ausgangssignalen abgibt, die bei jeder konstanten Anzahl der ersten Verzögerungseinheits-Elemente abgenommen werden; und

— einen ersten Selektor (47), der mit der ersten Festverzögerungsschaltung verbunden ist, ein Signal aus der ersten Signalfolge in Ab-

hängigkeit von einem Wählsignal (Sin) einer digitalen Form, die eine Binärzahl ausdrückt, auf solche Weise wählt, daß ein Verzögerungswert sich monoton mit der Binärzahl ändert, und ein gewähltes Signal als das erste verzögerte Taktsignal abgibt;

daß die zweite variable Verzögerungsschaltung (42) folgendes aufweist:

- eine zweite Festverzögerungsschaltung, die eine Gruppe von zweiten Verzögerungseinheits-Elementen (46) hat, die in Kaskade geschaltet sind, und als zweite Signalfolge eine Folge von Ausgangssignalen abgibt, die bei jeder zweiten konstanten Zahl der zweiten Verzögerungseinheits-Elemente abgenommen werden; und

- einen zweiten Selektor (47), der mit der zweiten Festverzögerungsschaltung verbunden ist, aus der zweiten Signalfolge in Abhängigkeit von dem Wählsignal ein Signal wählt, das einen Verzögerungswert hat, der zu einem Verzögerungswert des Signals, das von der ersten variablen Verzögerungsschaltung gewählt ist, ein konstantes Verhältnis hat, und ein gewähltes Signal als das zweite verzögerte Taktsignal abgibt; und

daß der Steuerteil das Wählsignal als Steuersignal abgibt.

5. Signalformereinrichtung nach Anspruch 4, dadurch gekennzeichnet,

- daß der erste und der zweite Selektor gleiche Struktur haben und daß eine Verbindungsbeziehung zwischen dem ersten Selektor und der ersten Festverzögerungsschaltung identisch mit einer Verbindungsbeziehung zwischen dem zweiten Selektor und der zweiten Festverzögerungsschaltung vorgegeben ist, wobei die ersten und zweiten Verzögerungseinheits-Elemente dieselbe Struktur haben und die erste konstante Zahl größer als die zweite konstante Zahl vorgegeben ist.

6. Signalformereinrichtung nach Anspruch 4, wobei der erste und der zweite Selektor gleiche Struktur haben, dadurch gekennzeichnet,

- daß die erste und die zweite Festverzögerungsschaltung gleiche Struktur haben,
- daß der Steuerteil das Wählsignal, das einer Binärzahl entspricht, als Parallelsignal (m_0, m_1, m_2, \dots) abgibt,
- daß eine Verbindungsbeziehung zwischen dem ersten Selektor und der ersten Festverzögerungsschaltung identisch mit einer Verbindungsbeziehung zwischen dem zweiten Selektor und der zweiten Festverzögerungsschaltung vorgegeben ist, und
- daß eine Leitung zwischen dem ersten oder zweiten Selektor und dem Steuerteil auf solche Weise angeschlossen ist, daß das Steuersignal bitweise verschoben wird.

7. Signalformereinrichtung nach einem der Ansprüche 4 bis 6, dadurch gekennzeichnet, daß der Steuerteil folgendes aufweist:

- einen D-Signalspeicher (55), der einen Dateneingang und einen Taktsignaleingang hat, in die das eine und das andere von dem ersten verzögerten Taktsignal bzw. dem Eingangstaktsignal eingegeben werden, und der bei jeder Vorderflanke ein Ausgangssignal in Ab-

hängigkeit von einem Pegel eines Signals des Dateneingangs auf einen aktiven Pegel eines Signals des Taktsignaleingangs aktualisiert;

- einen ersten Zähler (56), der selektiv eine Aufwärts- und Abwärtszählung in dem Zyklus des Eingangstaktsignals in Abhängigkeit von dem Pegel des Ausgangssignals des D-Signalspeichers ausführt, und

- einen zweiten Zähler (57), der einen Zählwert synchron mit dem Eingangstaktsignal jedesmal erhöht bzw. verringert, wenn der erste Zähler überläuft bzw. unterläuft, und der den Zählwert als Wählsignal abgibt.

8. Signalformereinrichtung nach einem der Ansprüche 1 bis 4, gekennzeichnet durch

N (≥ 1) dritte variable Verzögerungsschaltungen (135, 136), die der zweiten variablen Verzögerungsschaltung (134) sequentiell in Kaskade nachgeschaltet sind und die gleiche Struktur wie die zweite variable Verzögerungsschaltung haben und in die das Steuersignal als Signal zur Steuerung eines Verzögerungswerts eingegeben wird, und wobei die Einrichtung — indem das SR-Flipflop als erstes SR-Flipflop (137) betrachtet wird — ferner M zweite SR-Flipflops (138) aufweist, deren Setz- und Rücksetzeingänge mit M ($1 \leq M \leq N$) Eingangs- und Ausgangsseiten der jeweiligen N dritten variablen Verzögerungsschaltungen verbunden sind.

9. Signalformereinrichtung nach Anspruch 8, dadurch gekennzeichnet, daß N eine gerade Zahl ist und $M = N/2$, wobei das erste SR-Flipflop und die M zweiten SR-Flipflops mit jeder zweiten Schaltung einer Gruppe von variablen Verzögerungsschaltungen verbunden sind, die aus der zweiten variablen Verzögerungsschaltung und den N dritten variablen Verzögerungsschaltungen gebildet und in Kaskade geschaltet sind, daß das konstante Verhältnis mit $1/(N+2)$ vorgegeben ist, und daß die Signalformereinrichtung ferner ein ODER-Glied (139) aufweist, das eine logische ODER-Verknüpfung der Ausgangssignale des ersten SR-Flipflops und der M zweiten SR-Flipflops errechnet und abgibt.

10. Signalformereinrichtung nach Anspruch 1 oder 4, gekennzeichnet durch einen Offseterzeugungsteil (132), der zwischen dem Steuerteil und der zweiten variablen Verzögerungsschaltung eingefügt ist und dem Steuersignal, das von dem Steuerteil abgegeben wird, ein Offsetsignal überlagert, so daß der zweiten variablen Verzögerungsschaltung ein überlagertes Signal zugeführt wird.

11. Signalformereinrichtung nach Anspruch 1 oder 4, dadurch gekennzeichnet, daß das SR-Flipflop zwei Monoimpuls-Schaltkreise (61 und 62) aufweist, die einen Monoimpuls synchron mit der Anstiegsflanke von Taktsignalen auf einen aktiven Pegel erzeugen, die dem Setzeingang bzw. dem Rücksetzeingang zugeführt werden.

12. Signalformereinrichtung nach Anspruch 1 oder 4, gekennzeichnet durch einen Monoimpuls-Schaltkreis (90), der einen Monoimpuls synchron mit der Anstiegsflanke des von außen eingegebenen Eingangstaktsignals auf einen aktiven Pegel abgibt,

wobei der Monoimpuls jedem Teil der Signalformereinrichtung mit Ausnahme des Monoimpuls-Schaltkreises anstelle des Eingangstaktsignals zu-

geführt wird.

13. Taktsignalzuführvorrichtung, um eine Verzögerung eines von außen zugeführten Eingangstaktsignals (CL), die im Verlauf der Verstärkung durch einen Takttreiber (3) und der Fortpflanzung durch eine Taktleitung (4) erzeugt wird, auszugleichen, gekennzeichnet durch

- eine DLL-Einrichtung (1), die das Eingangstaktsignal dem einen von Eingängen zuführt und ein Rückführungstaktsignal, das von einer Stelle der Taktleitung rückgeführt wird, dem anderen der Eingänge zuführt und das Eingangstaktsignal auf solche Weise verschiebt und abgibt, daß eine Phase des Eingangstaktsignals in Abhängigkeit davon verzögert oder beschleunigt wird, ob eine Phase eines Taktsignals des anderen der Eingänge früher oder später als die eines Taktsignals des einen der Eingänge ist; und
- eine Signalformereinrichtung (2) nach einem der Ansprüche 1 bis 12, die das Tastverhältnis eines von der DLL-Einrichtung abgegebenen Taktsignals auf einen Konstantwert umformt und an den Takttreiber ein umgeformtes Taktsignal abgibt.

Hierzu 30 Seite(n) Zeichnungen

30

35

40

45

50

55

60

65

FIG. 1

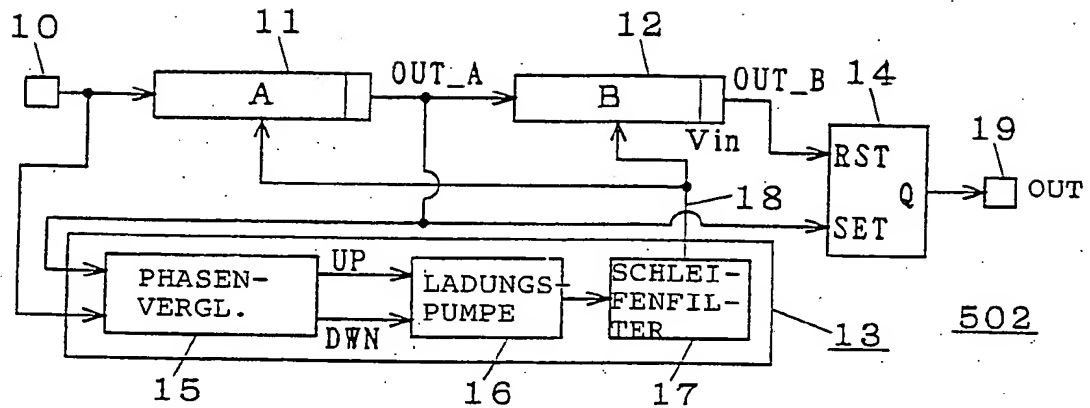


FIG. 2

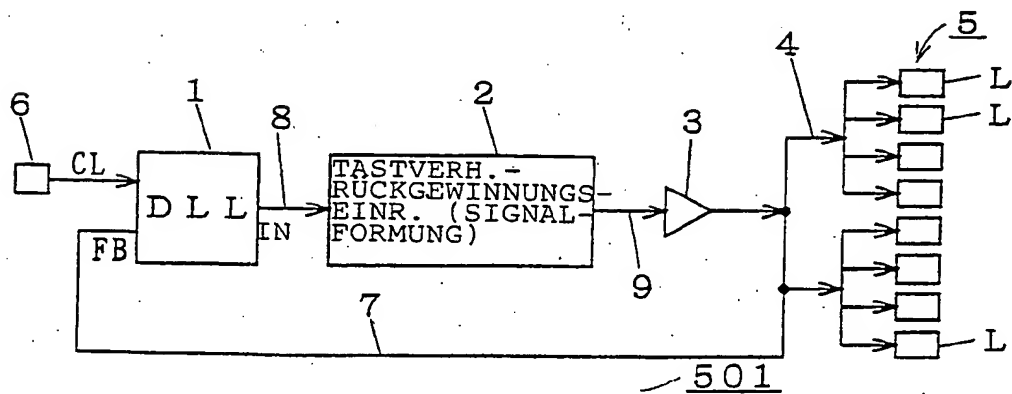


FIG. 3

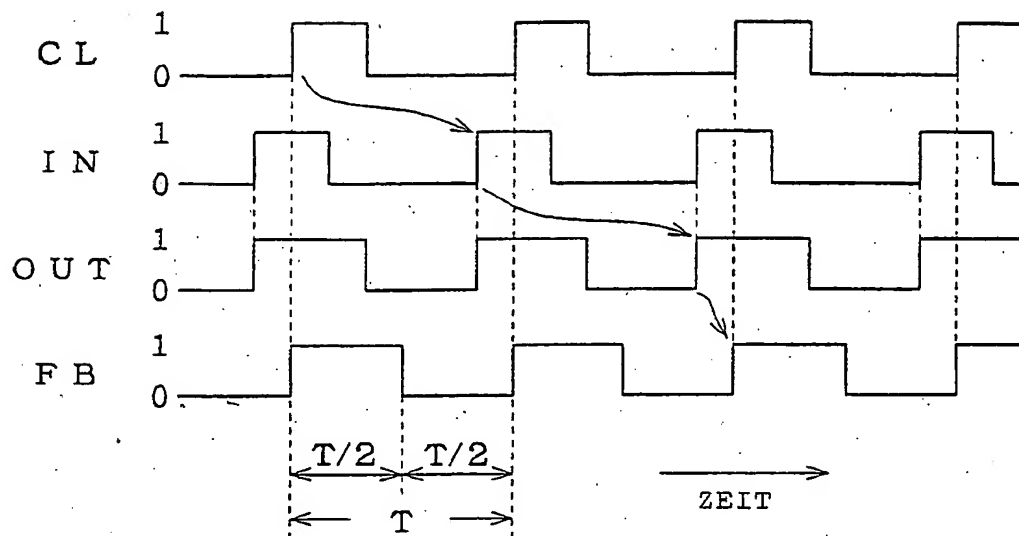


FIG. 4

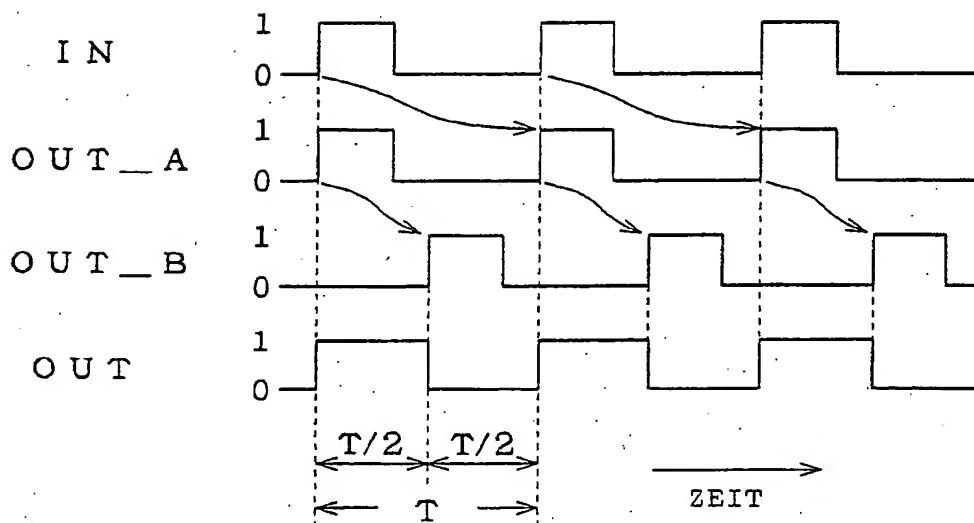


FIG. 5

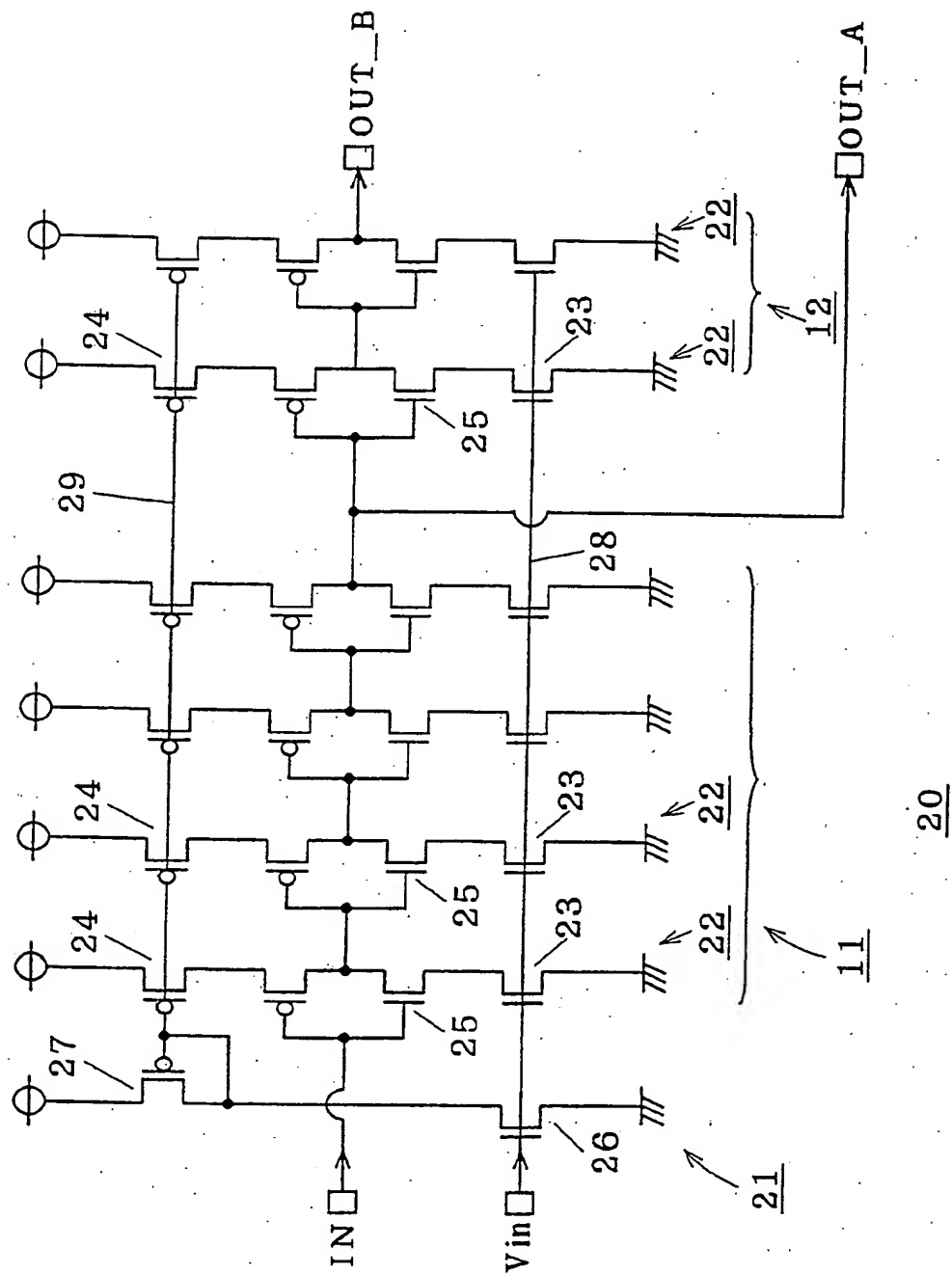


FIG. 6

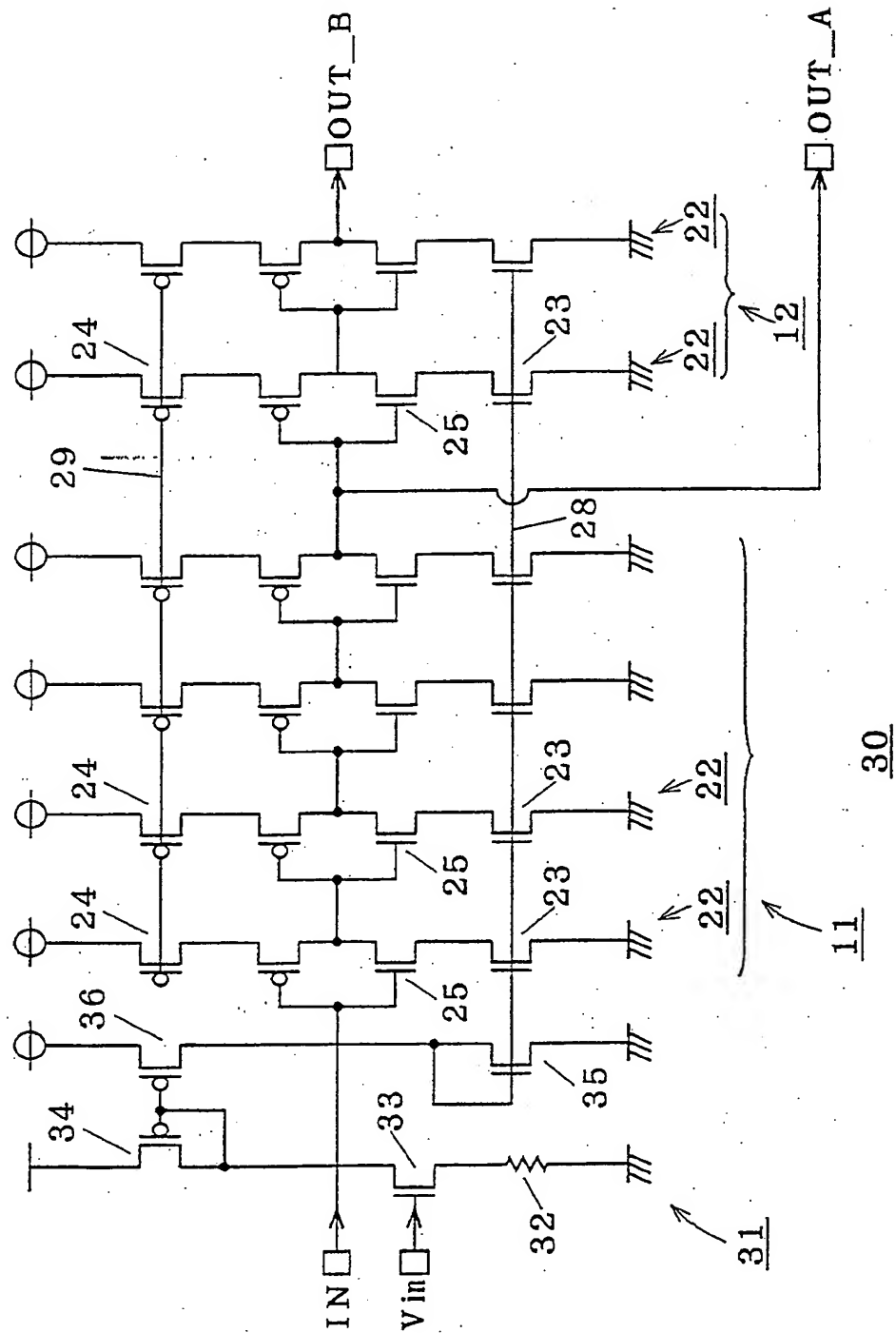


FIG. 7

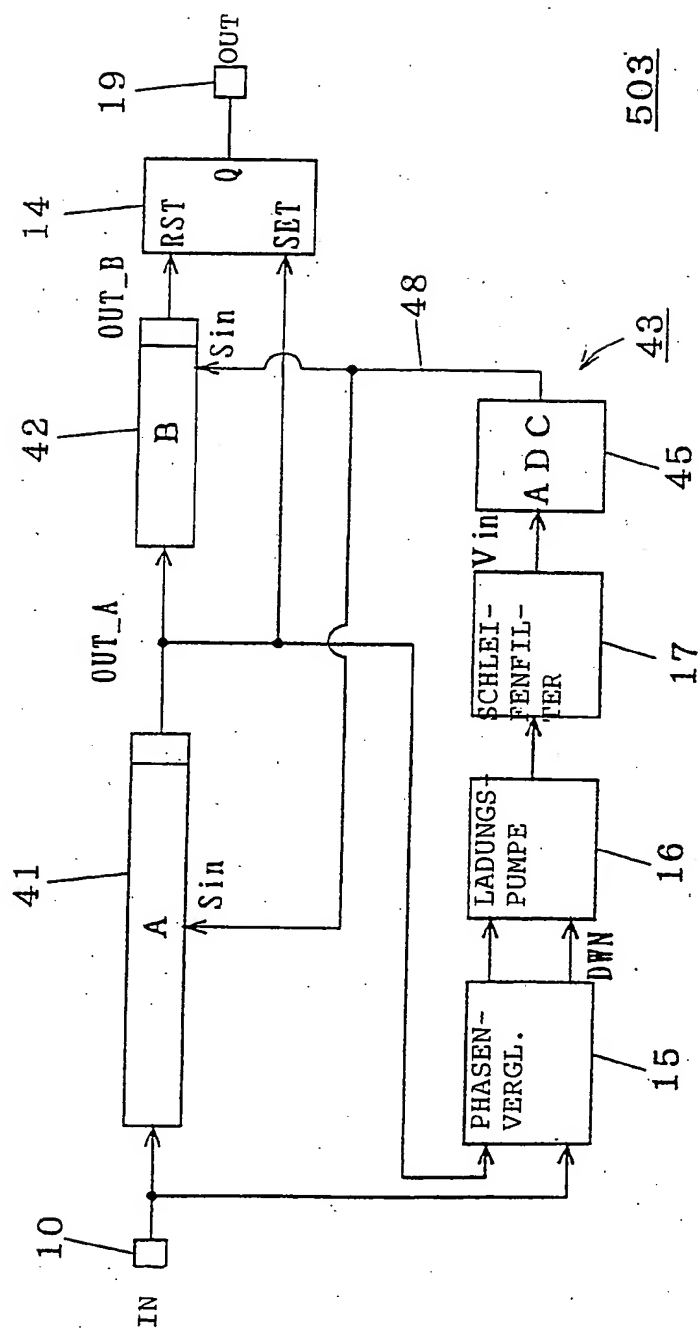
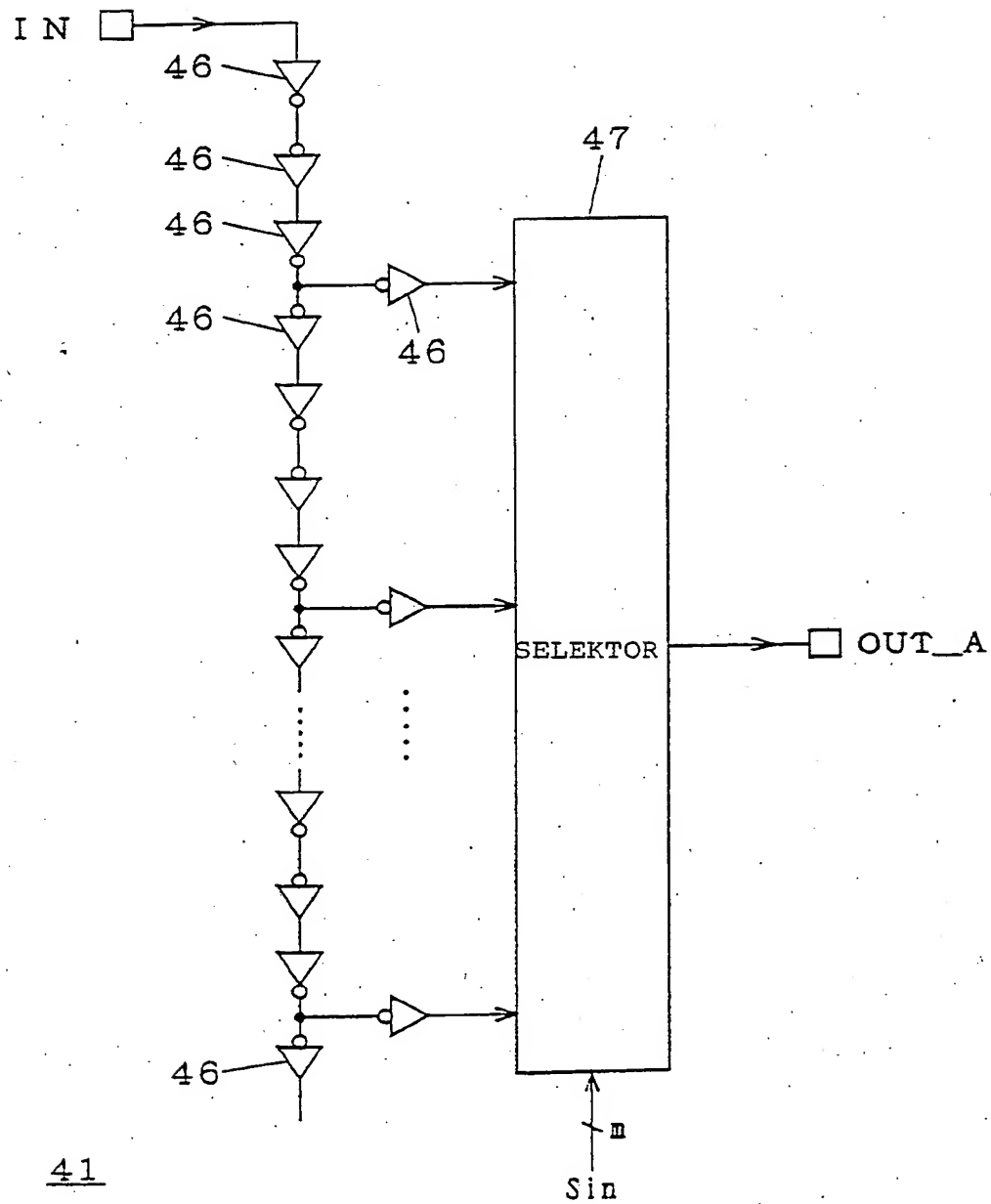


FIG. 8



41

FIG. 9

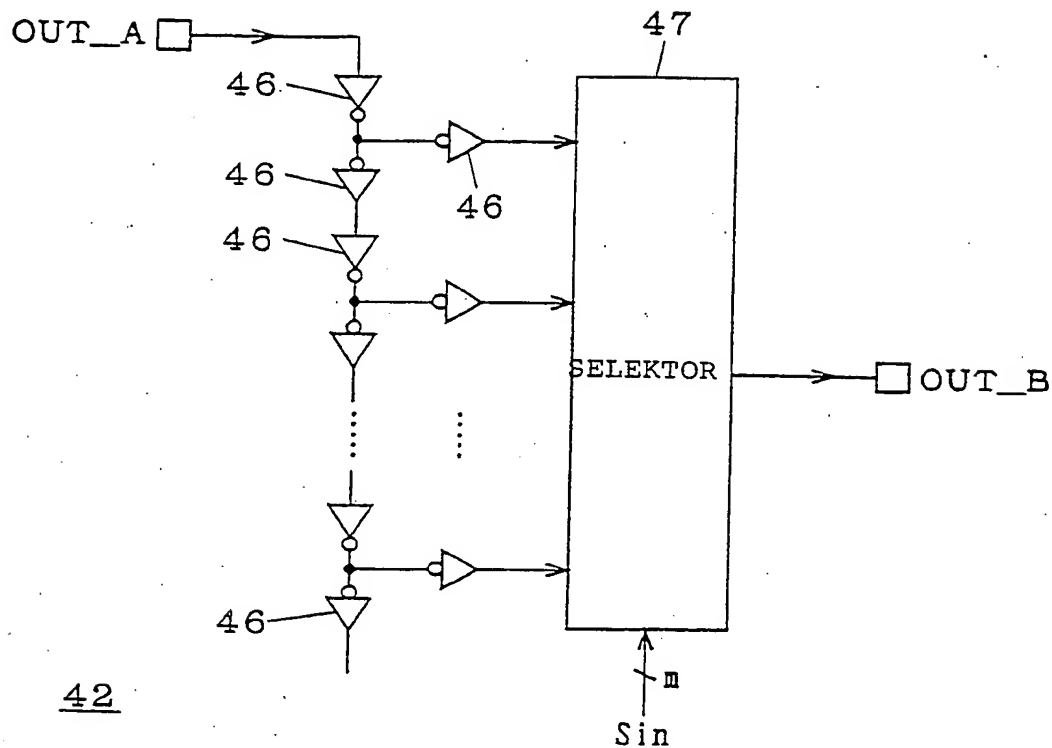


FIG. 10

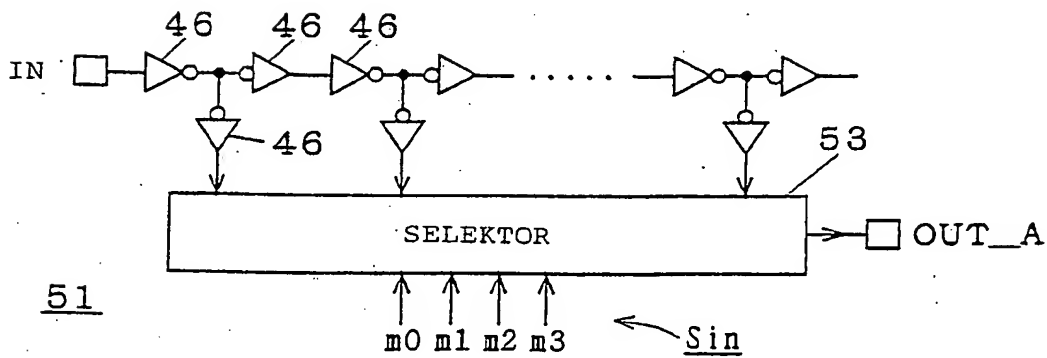


FIG. 11

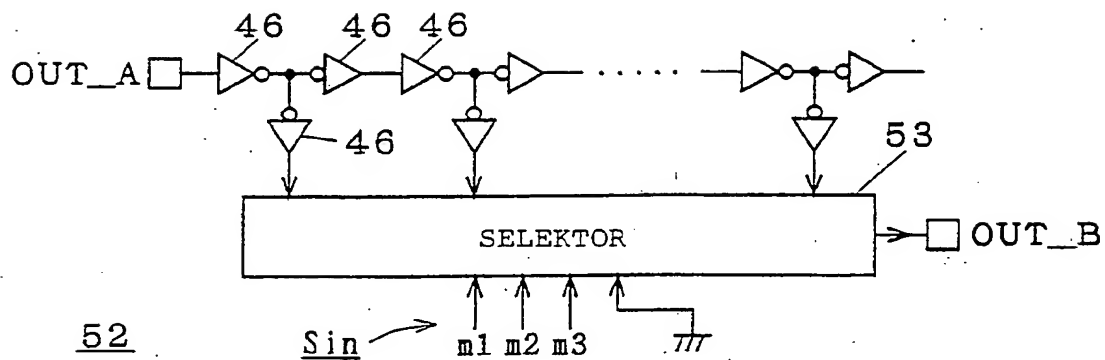


FIG. 12

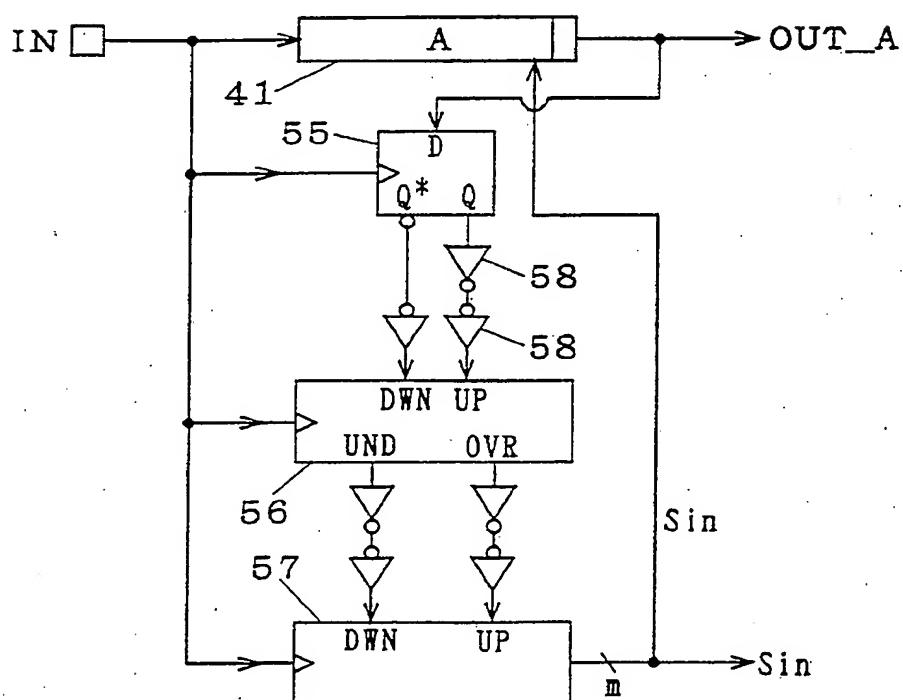


FIG. 13

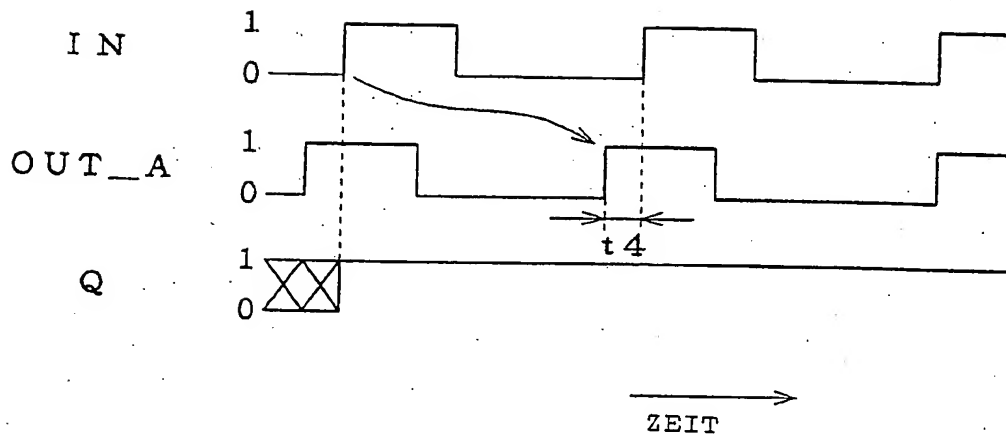


FIG. 14

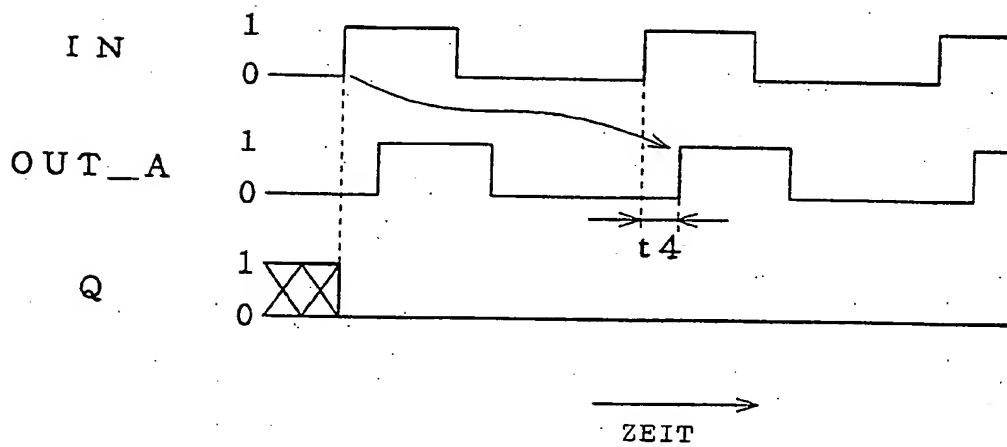


FIG. 15

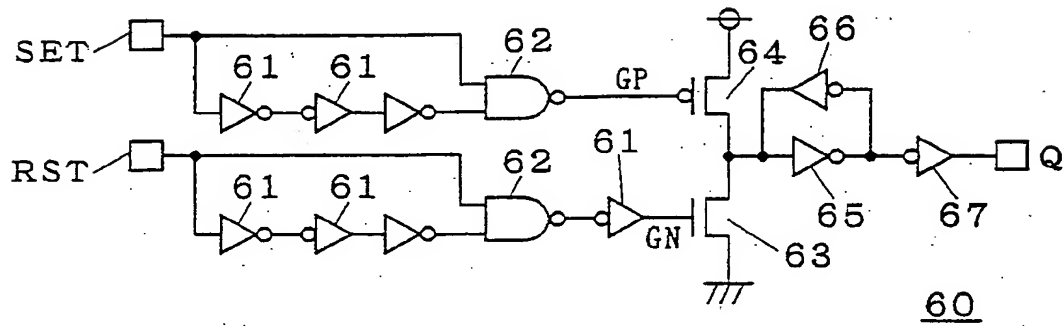


FIG. 16

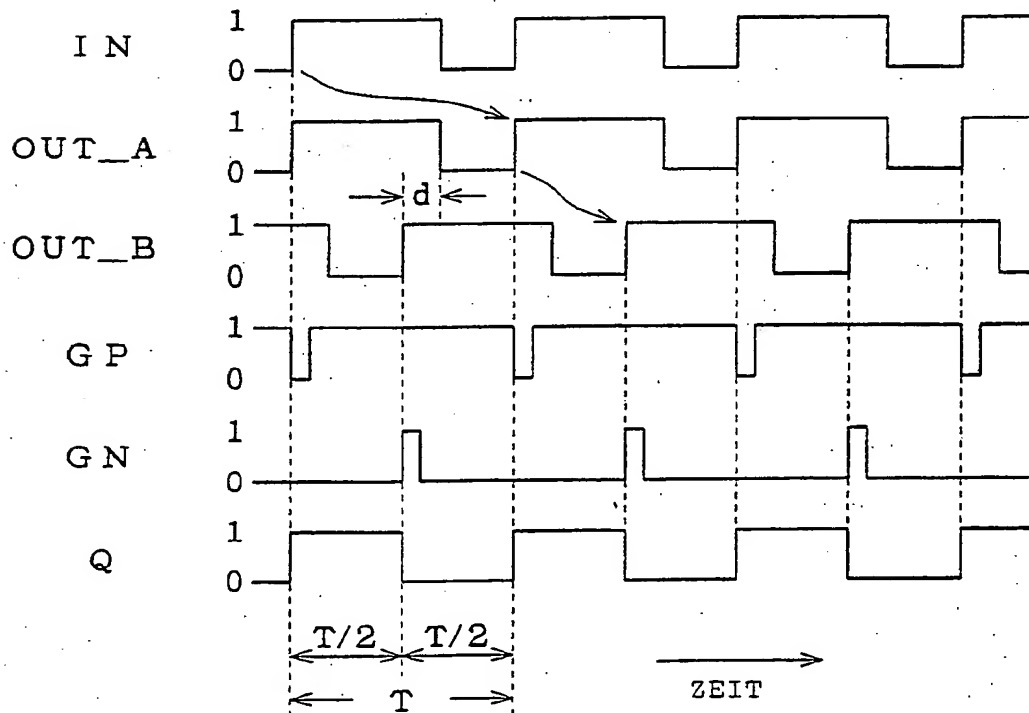


FIG. 17

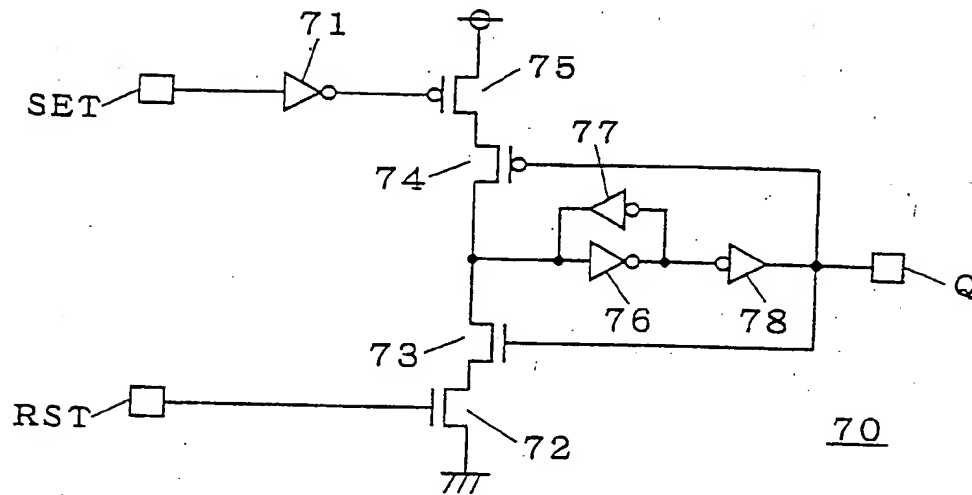


FIG. 18

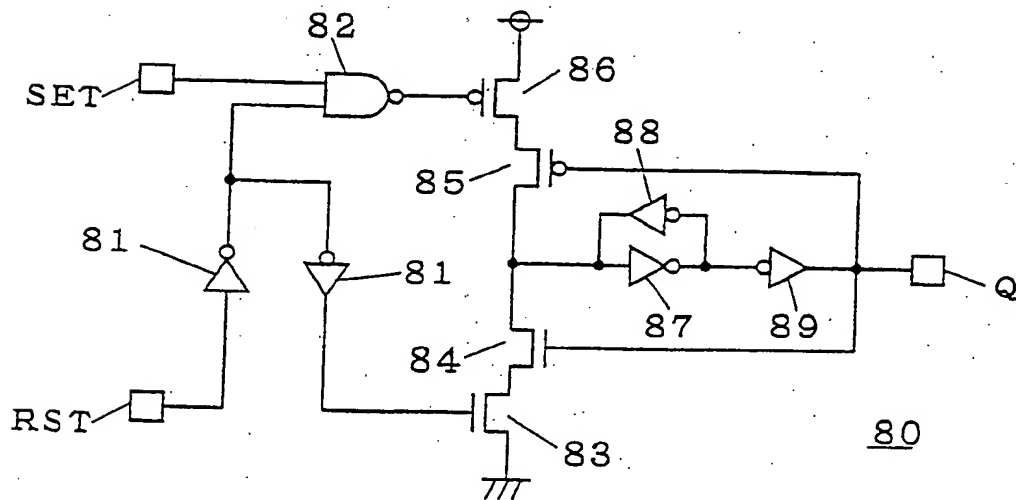


FIG. 20

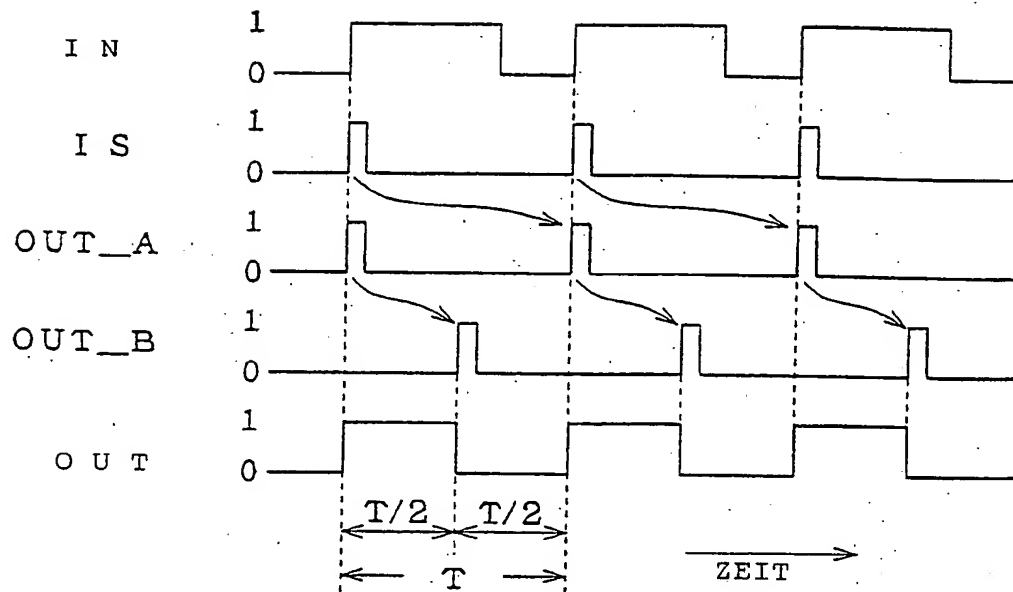


FIG. 21

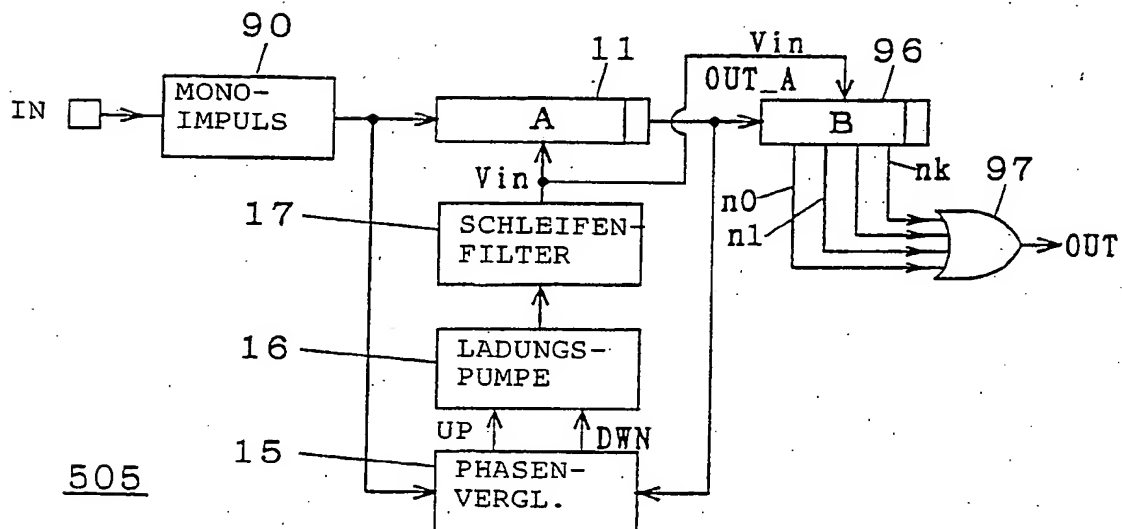


FIG. 22

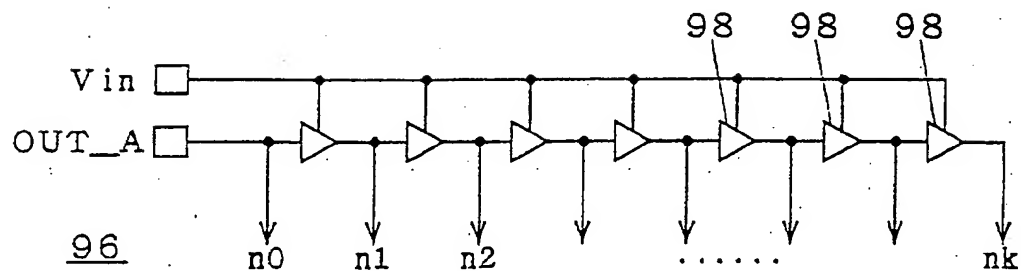
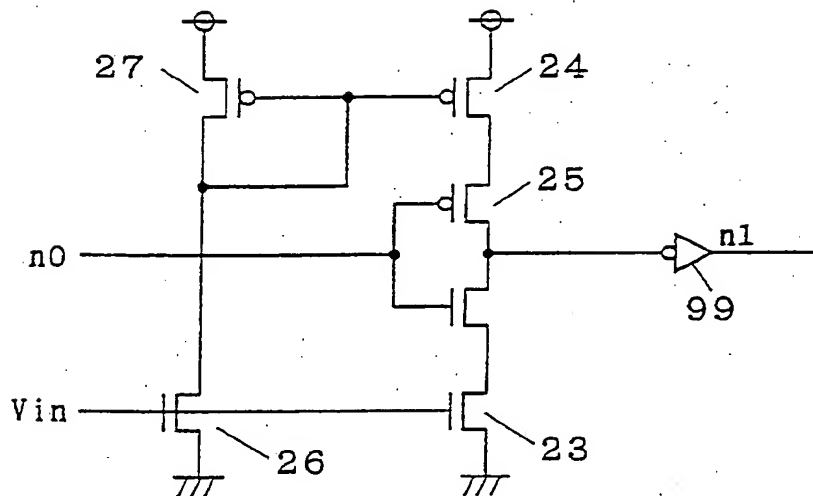


FIG. 23



98

FIG. 24

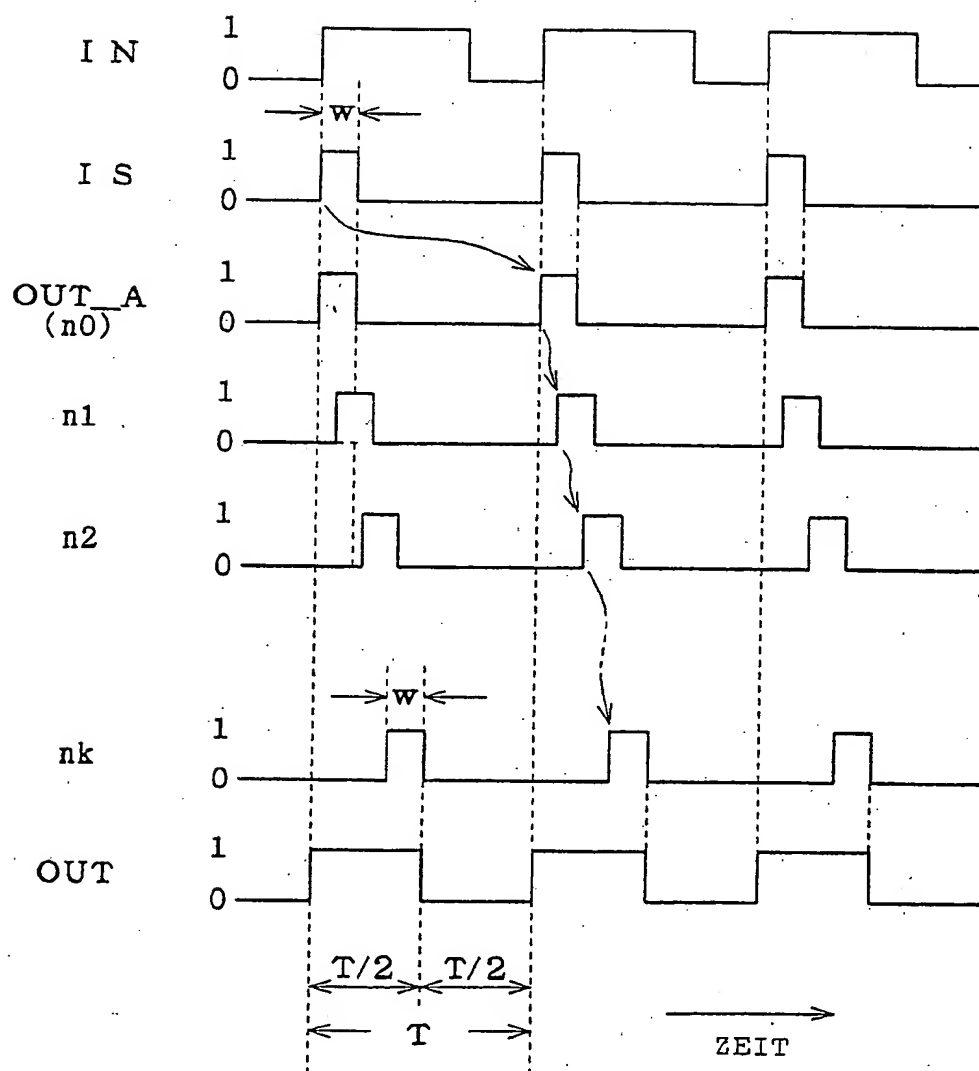
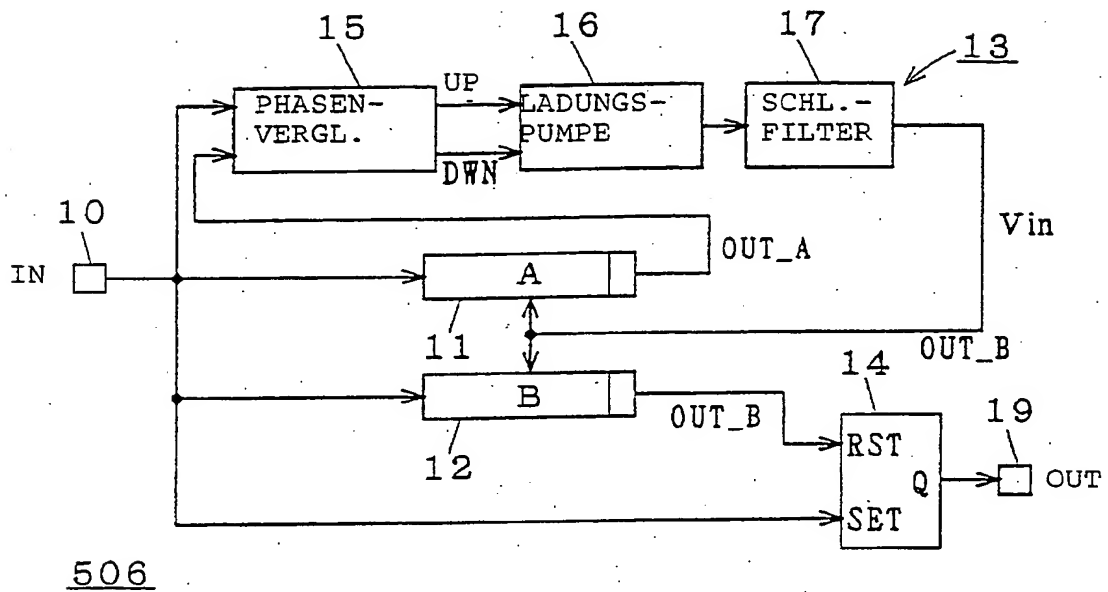


FIG. 25



F I G. 26

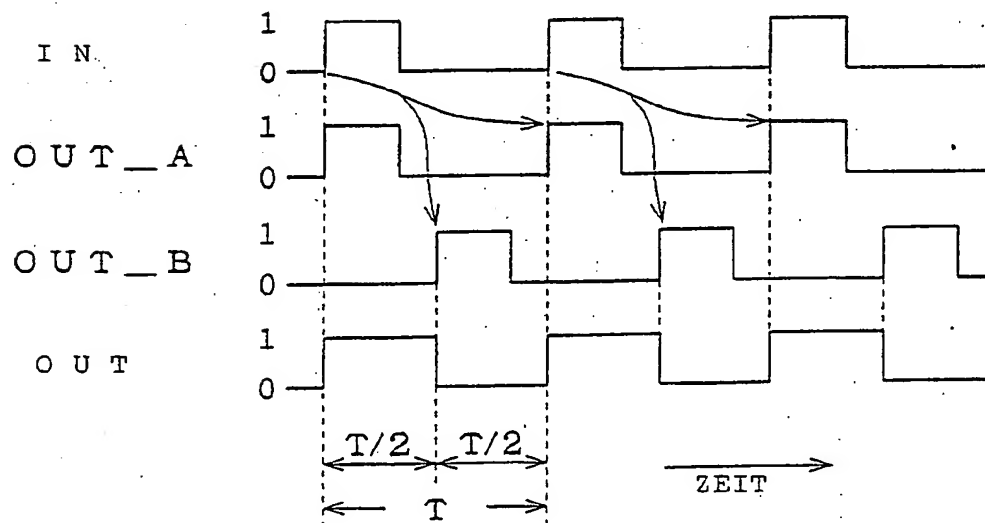


FIG. 27

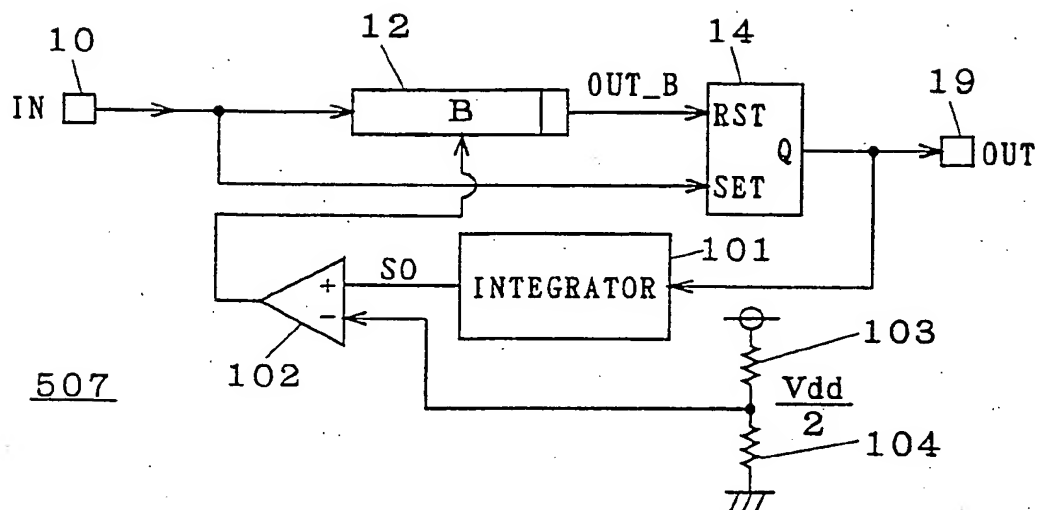


FIG. 28

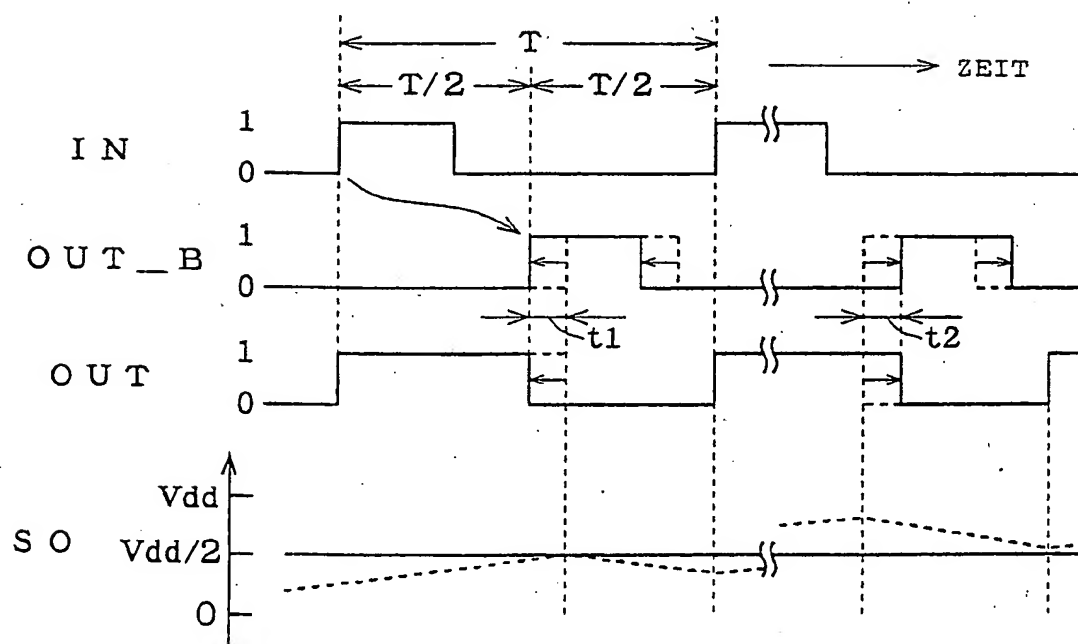
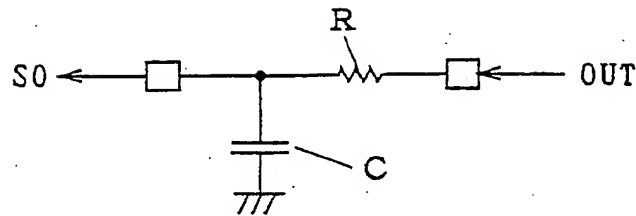
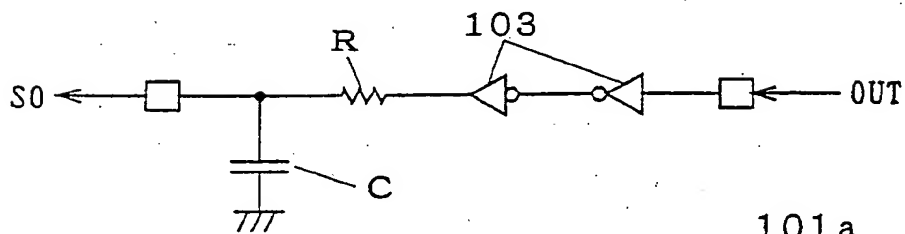


FIG. 29



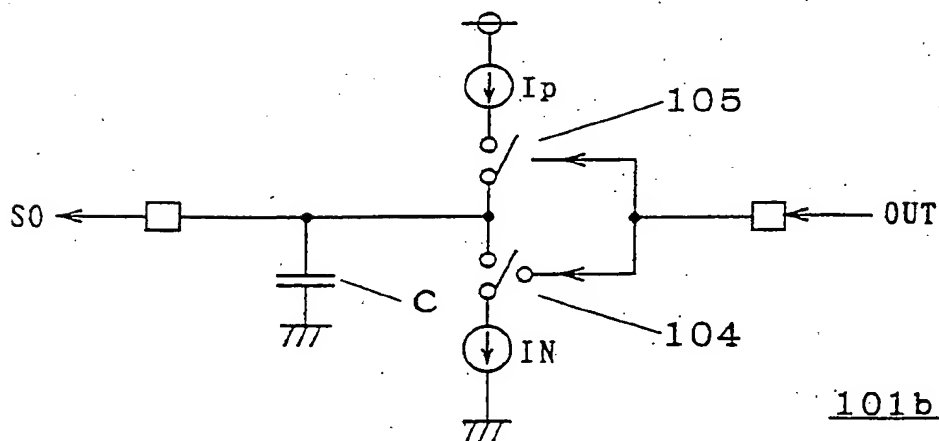
101

FIG. 30



101a

FIG. 31



101b

FIG. 32

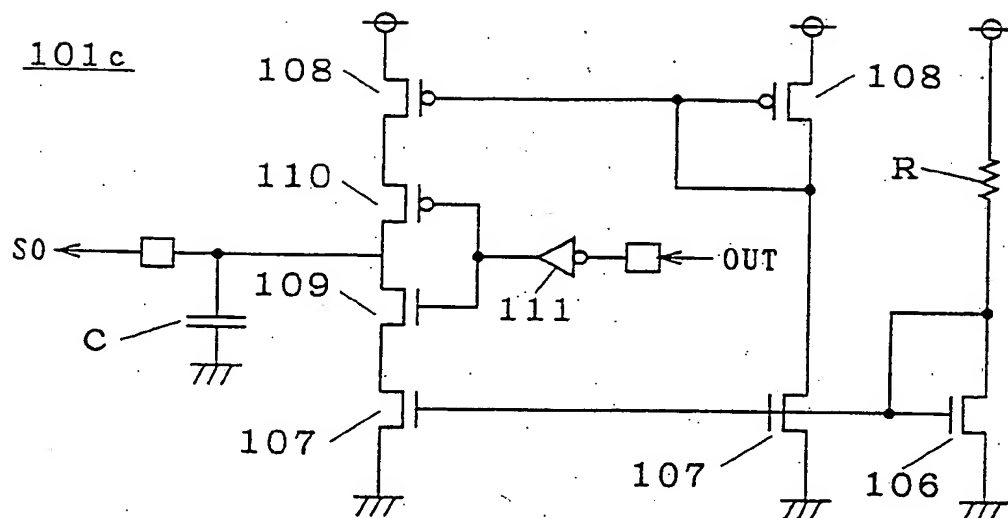
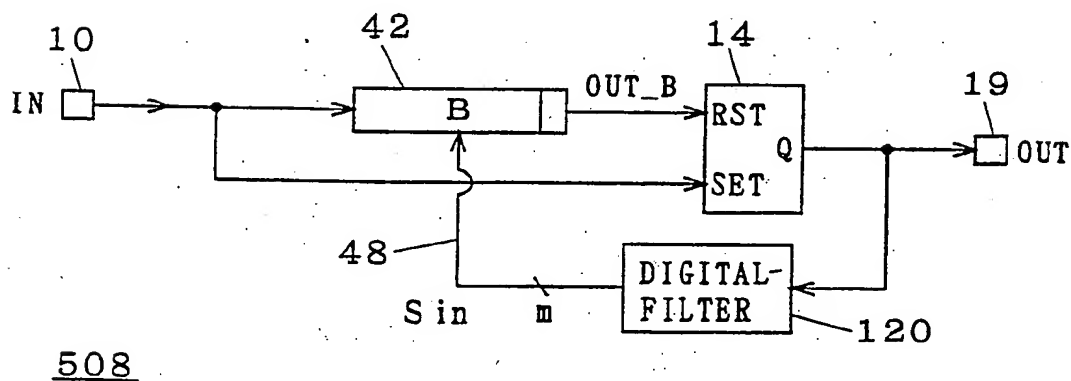


FIG. 33



508

FIG. 34

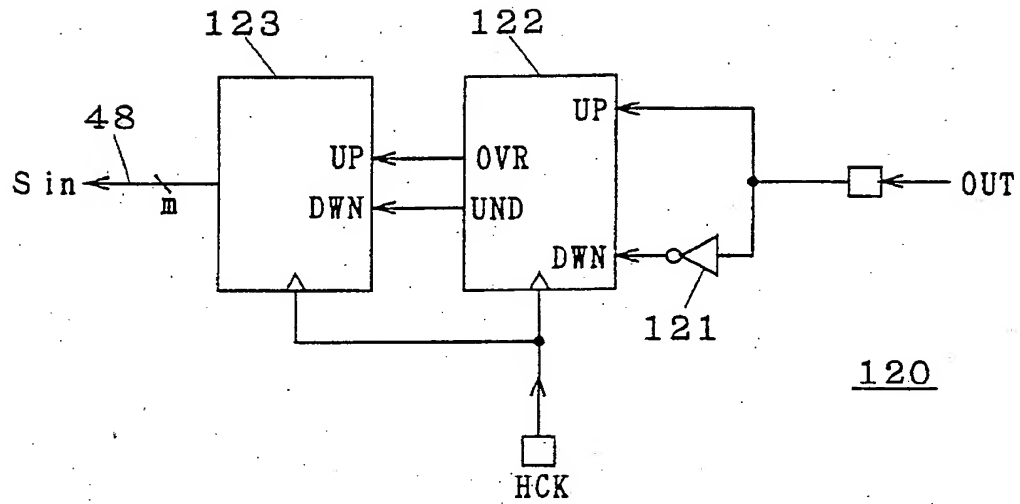


FIG. 35

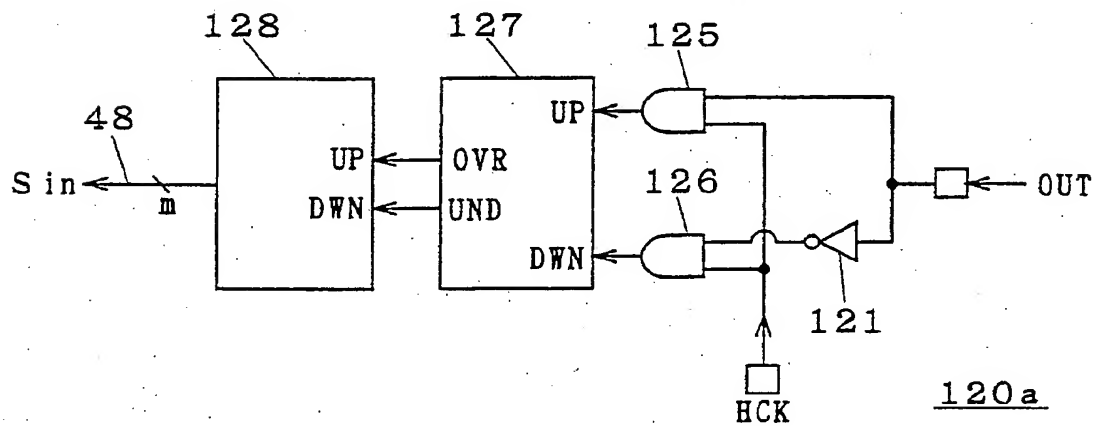


FIG. 36

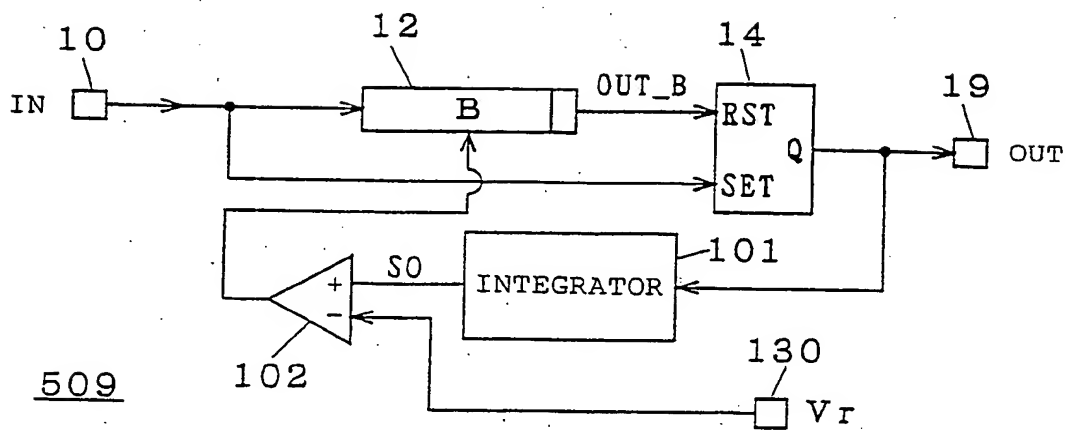


FIG. 37

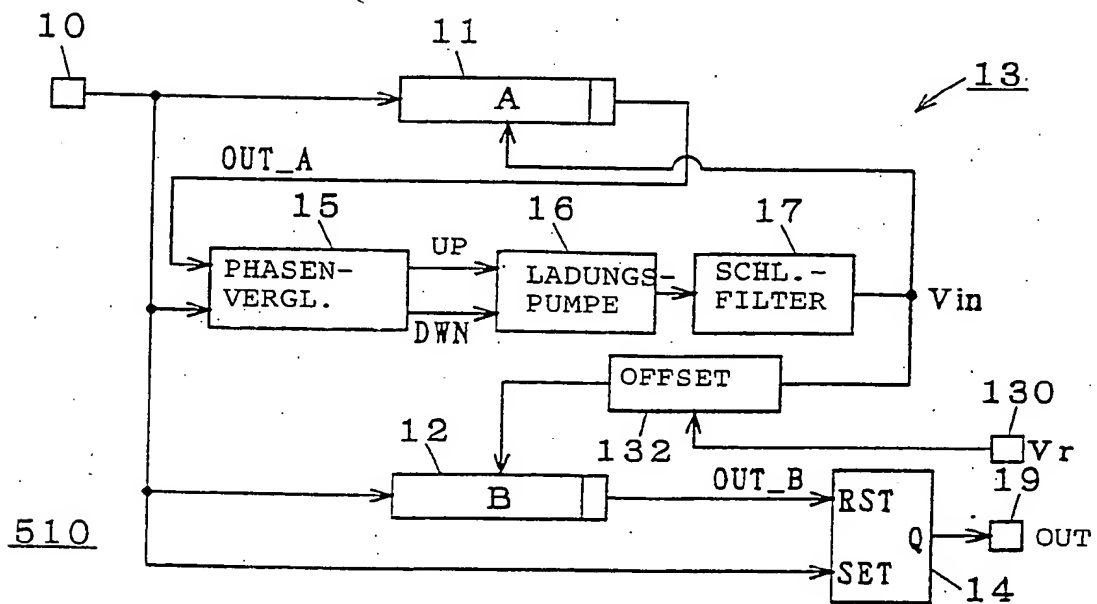
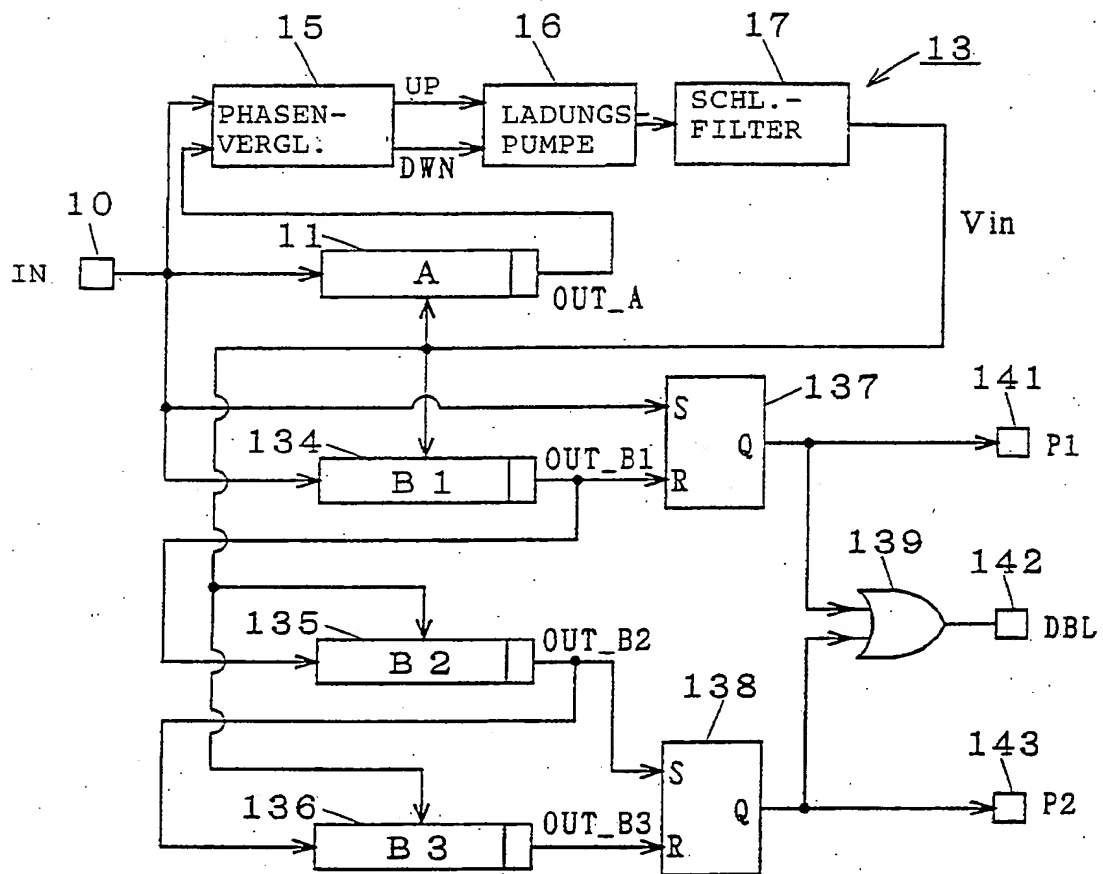


FIG. 38



511

FIG. 39

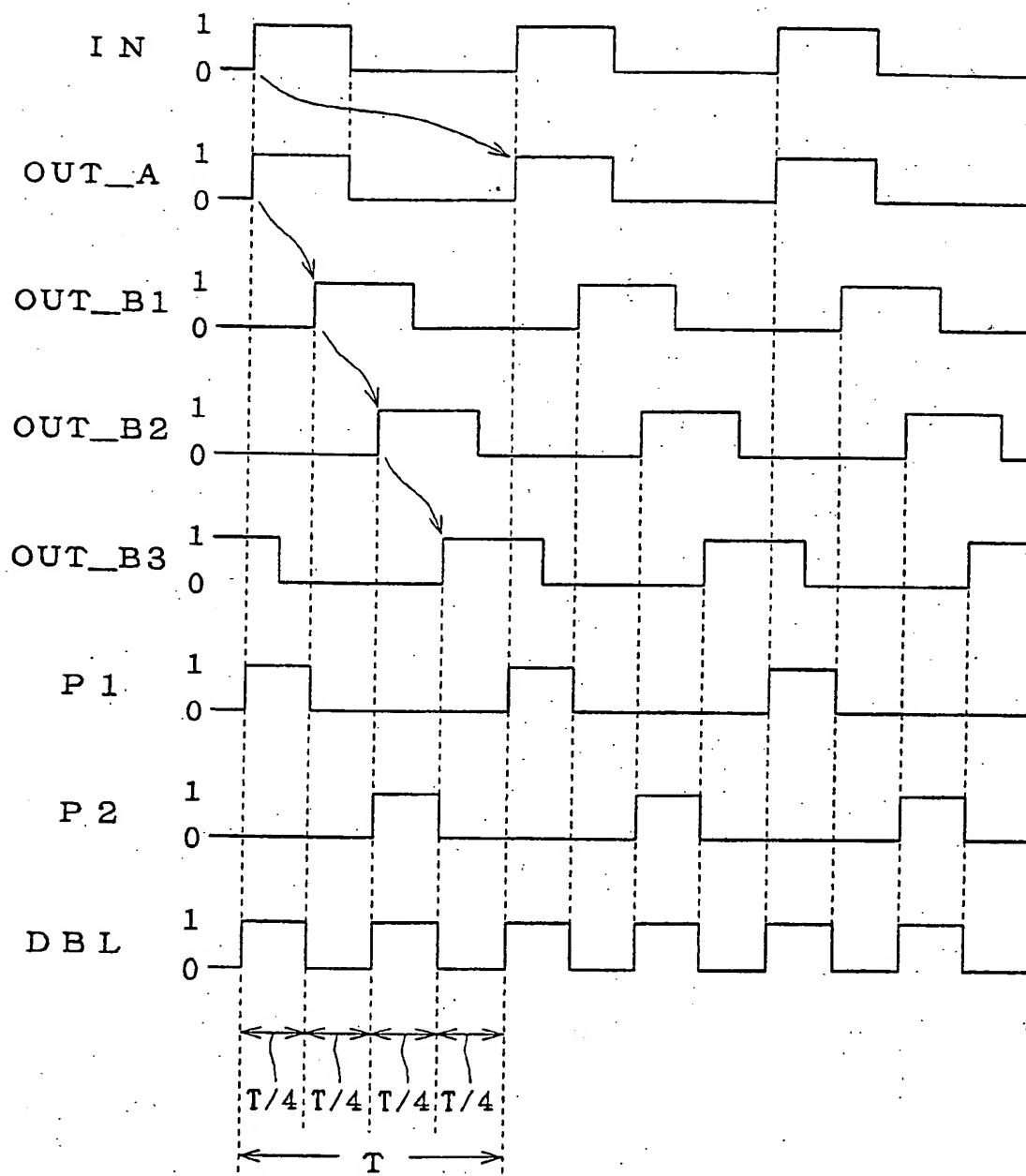


FIG. 40

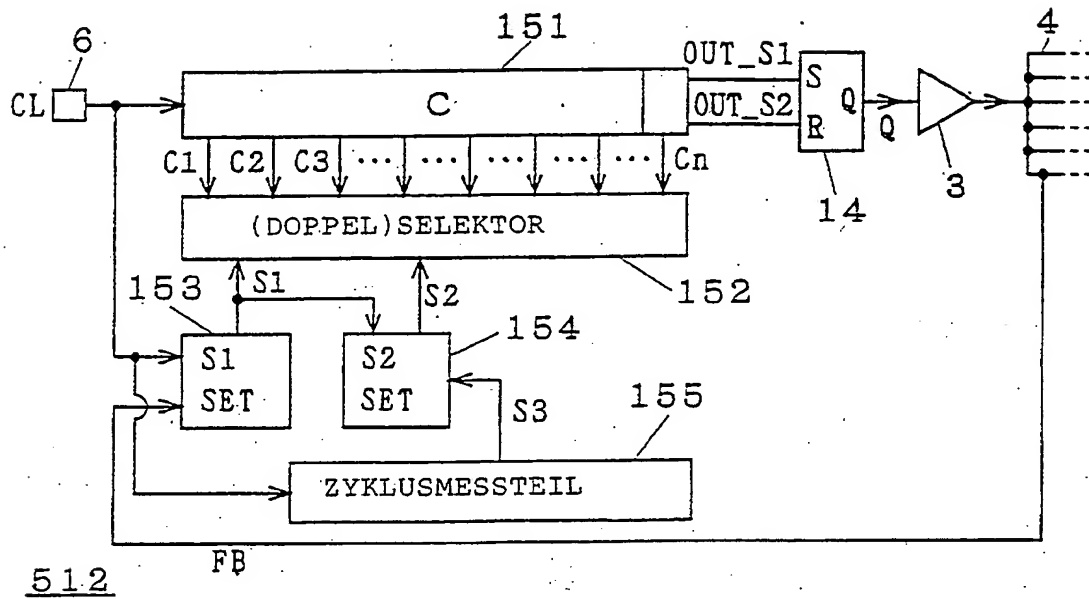


FIG. 41

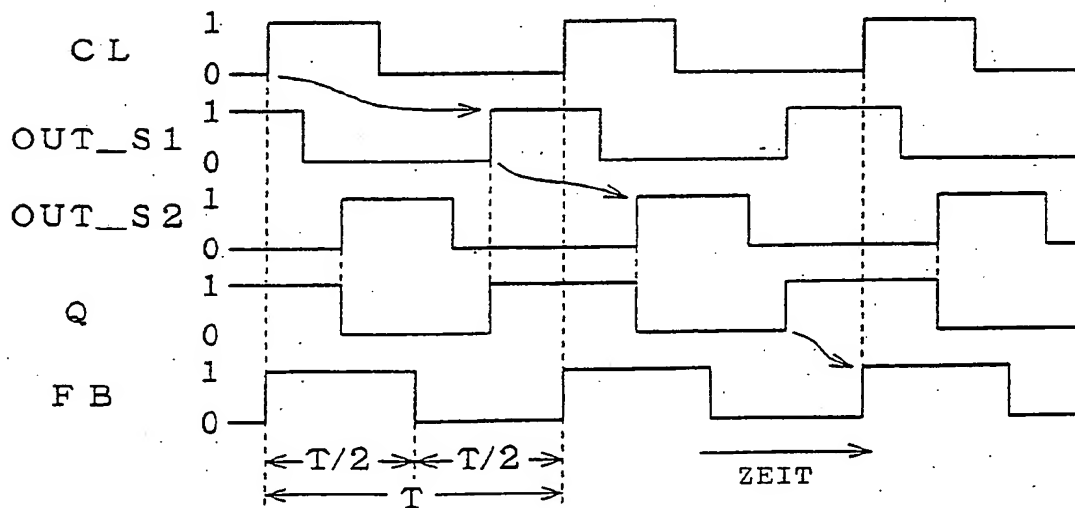
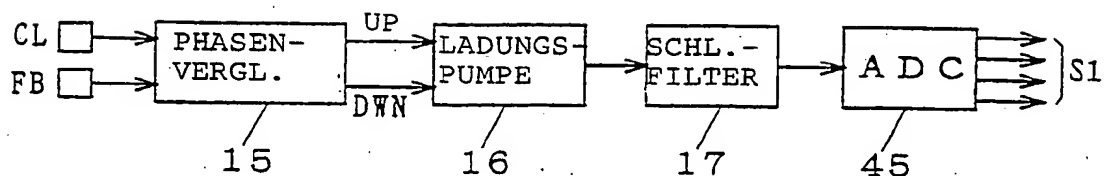


FIG. 42



153(43)

FIG. 43

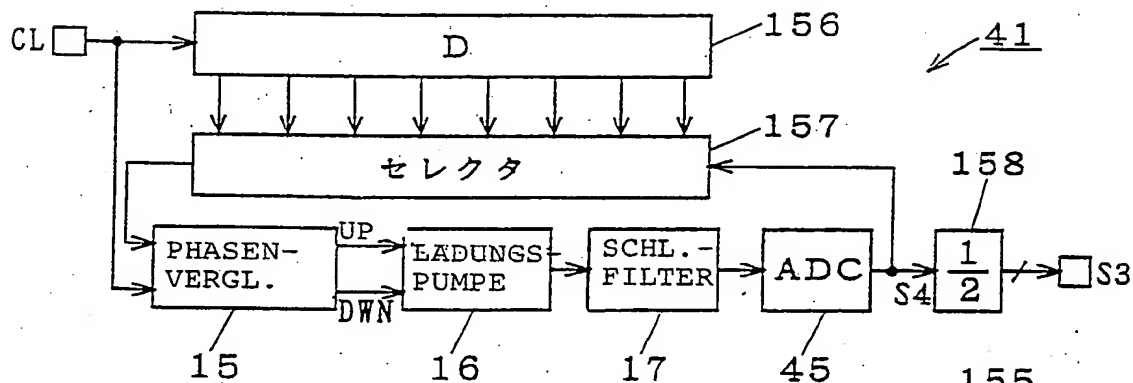
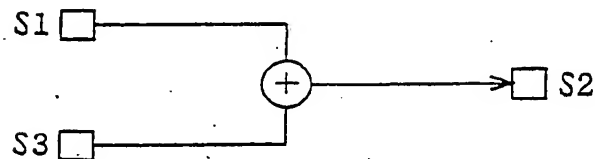
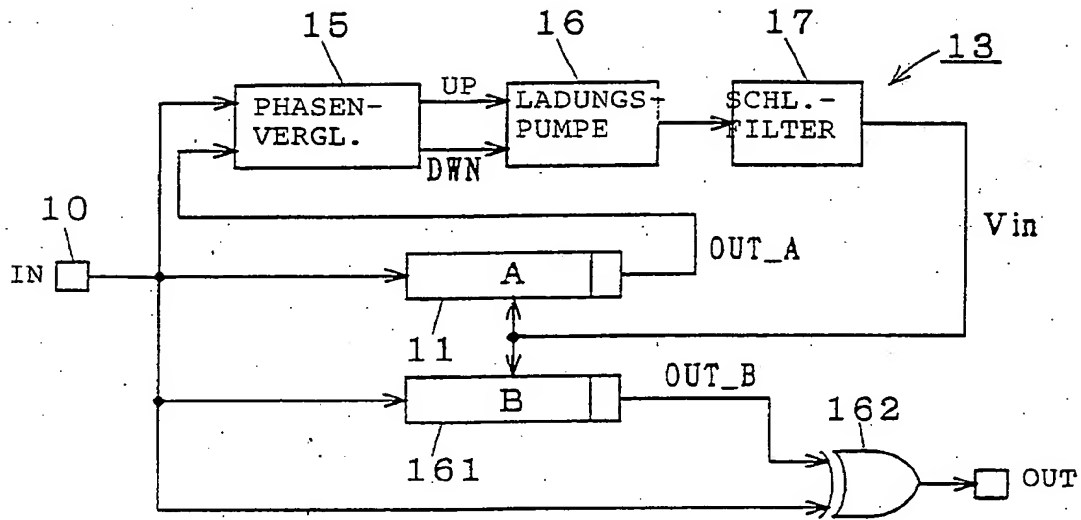


FIG. 44



154

FIG. 45



513

FIG. 46

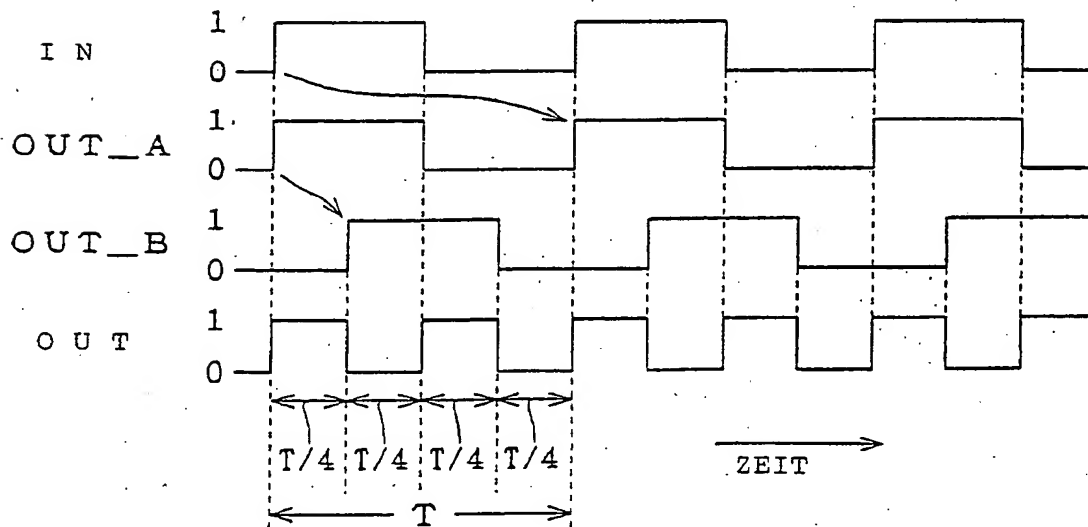


FIG. 47

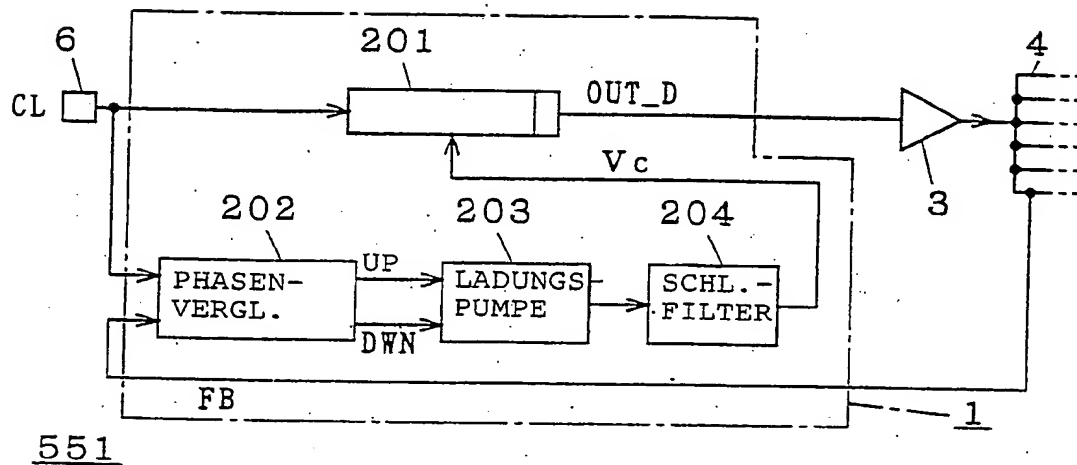


FIG. 48

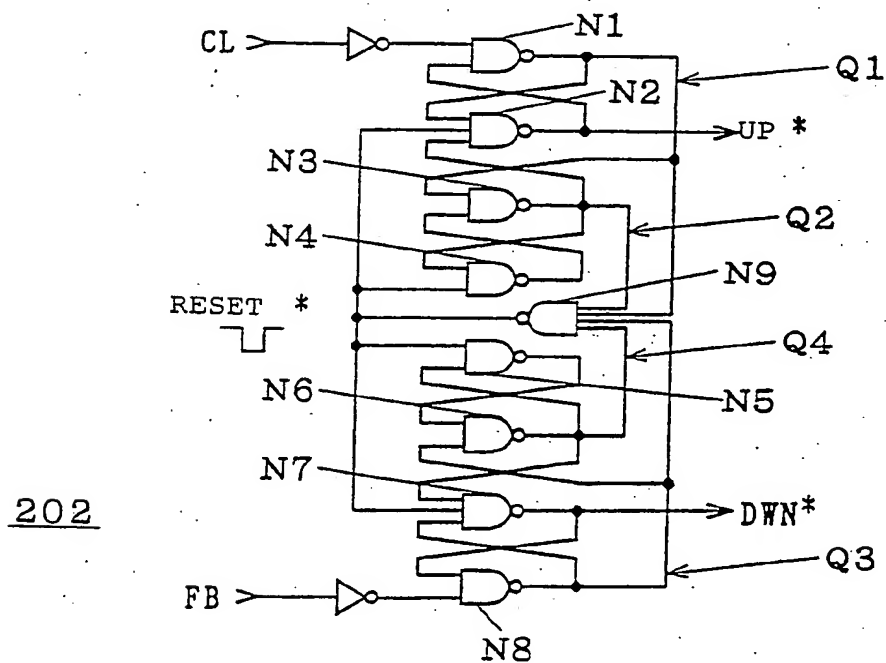


FIG. 49

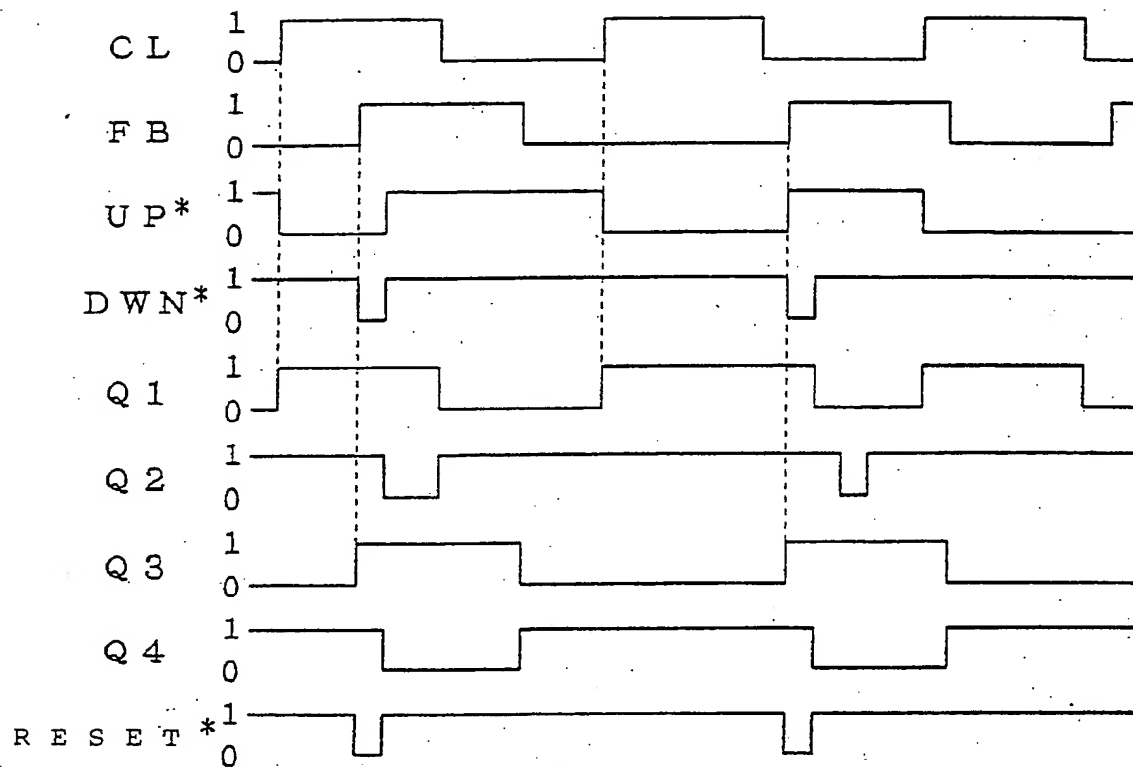


FIG. 50

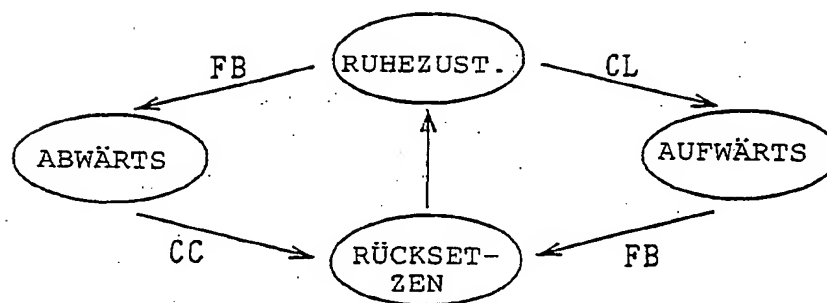


FIG. 51

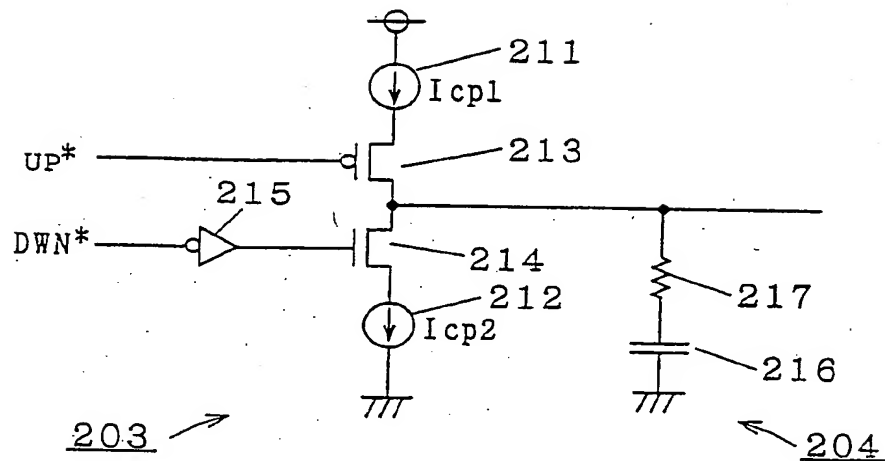


FIG. 52

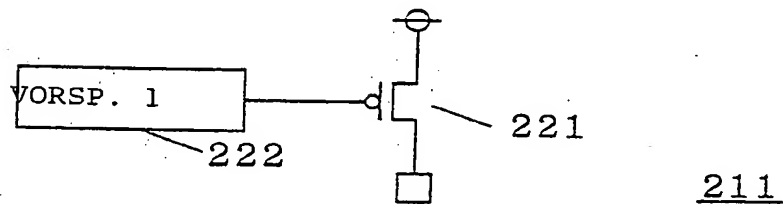


FIG. 53

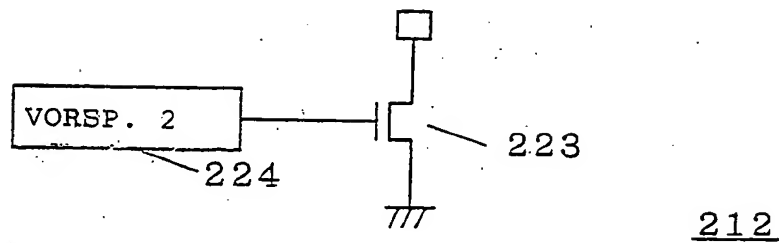
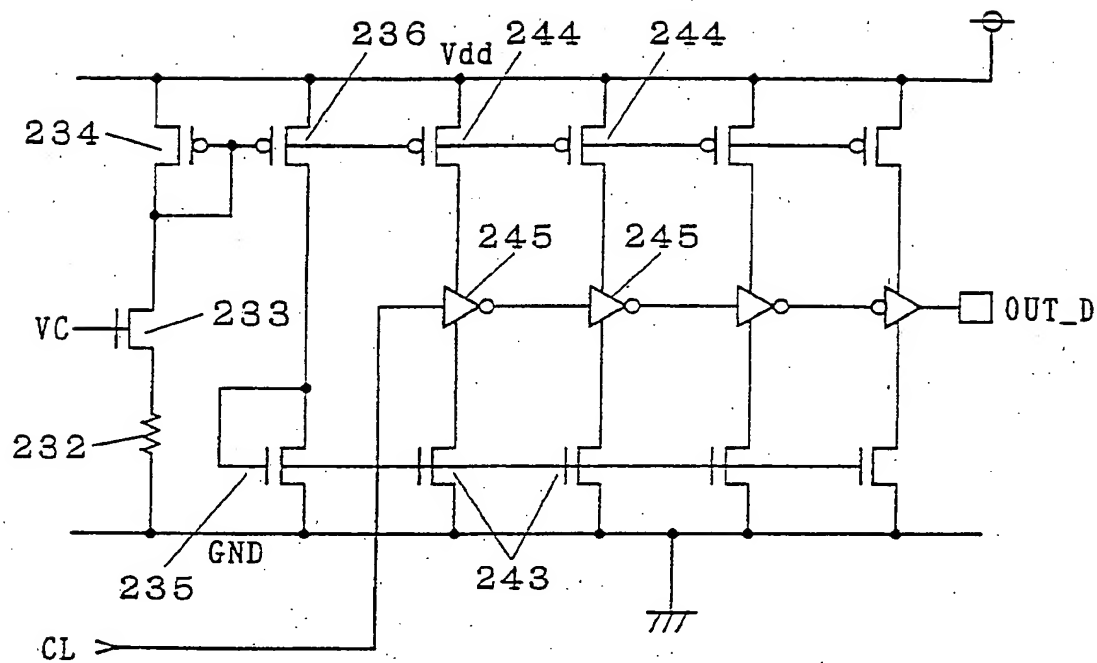


FIG. 54



201

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.